

(15) 日本国特許庁 (J.P.)

(11) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-306853

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int. Cl.	国際記号	庁内整理番号	F I	技術表示箇所
H01L 23/50			H01L 23/50	
21/60	311		21/60	311
23/12			23/28	
23/28			23/72	

審判請求 再請求 再請求の款 17 OL (全 20 頁)

(21) 出願番号 特願平 7-110380

(22) 出願日 平成 7 年 (1995) 5 月 9 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

(72) 発明者 伊田 勝大

神奈川県川崎市中原区上小田中 1015 番 地 富士通株式会社内

(72) 発明者 佐藤 光孝

神奈川県川崎市中原区上小田中 1015 番 地 富士通株式会社内

(74) 代理人 弁護士 伊東 忠彦

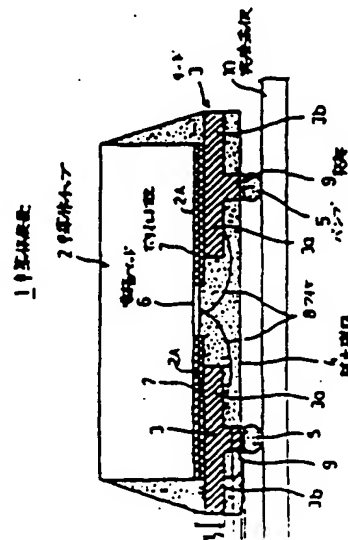
最終頁に続く

(54) (発明の名称) 半導体装置及びその製造方法及びリードフレームの製造方法

(57) (要約)

〔目的〕 本発明は半導体チップ及びリードを電気的に接続した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関し、半導体チップの信頼性を維持しつつ外部電極端子の低減化、部品コストの低減及び生産効率の向上を図ることを目的とする。

〔構成〕 第 1 のピッチで電極パッド 6 が形成された半導体チップ 2 と、電極パッド 6 とワイヤ 8 を介して電気的に接続されるリード 3 と、半導体チップ 2 を固定する固定部 4 とを具備する半導体装置において、前記リード 3 に外部電極端子となる突起 9 を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、前記固定部 4 が電極パッド 6 とリード 3 との間に引き込まれたワイヤ 8 を固定し、かつ前記突起 9 を露出させるよう配置したものである。



【特許請求の範囲】

【請求項 1】 第 1 のピッチにて形成された電極パッドが形成された半導体チップと、

前記電極パッドと配線を介して電気的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を、上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記封止樹脂が前記電極パッドと前記リードとの間に引き固められた配線を封止し、かつ前記突起を露出させるよう配設されることを特徴とする半導体装置。

【請求項 2】 第 1 のピッチにて形成された電極パッドが形成された半導体チップと、

前記電極パッドと配線を介して電気的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記半導体チップに形成された前記電極パッドの配設面を基準とし、前記配設面における前記封止樹脂の厚さが、前記配設面から前記突起までの高さ寸法以下で、かつ前記配設面から前記突起までの高さ寸法以上となるよう構成したことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置において、

前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれかに記載の半導体装置において、

前記突起を前記リードと一体的に形成したことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の半導体装置において、

前記装置としてワイヤを用いたことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の半導体装置において、

前記装置にバンプを形成したことを特徴とする半導体装置。

【請求項 7】 外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、

前記リードまたは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介して前記リードと前記半導体チップを所定圧力で押圧しかつ所定圧に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する工程とを具備する半導体装置の製造方法。

ードとを配線を引き直し接続することにより、前記電極パッドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内には全部を封止すると共に、前記突起の少なくとも一面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

前記接合工程でポリイミド膜により前記リードと前記半導体チップを接着する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いたことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 または 8 記載の半導体装置の製造方法において、

前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とする半導体装置の製造方法。

【請求項 10】 インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、

前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするリードフレーム。

【請求項 11】 請求項 10 記載のリードフレームにおいて、

前記アウターリード部のリードピッチ (P_{out}) と前記突起の形成位置における前記リードの厚さ (W) とが略等しく ($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ (P_{in}) が前記アウターリード部のリードピッチ (P_{out}) の略半分のピッチ ($P_{in} \approx P_{out} / 2$) であることを特徴とするリードフレーム。

【請求項 12】 請求項 10 または 11 記載のリードフレームの製造方法において、

最初に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第 1 のエッチング工程と、

前記第 1 のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第 2 のエッチング工程とを具備することを特徴とするリードフレームの製造方法。

【請求項 13】 請求項 10 または 11 記載のリードフレームの製造方法において、

重ね合わせることで前記突起の所定高さ寸法となるよう表面が研磨された第 1 の基材と第 2 の基材とを用い、

前記第 1 の基材に、研磨した後に前記リードの形成位置にマスクを配設した上で、前記第 2 の基材に対してエッチングを行い、前記突起を形成する工程とを具備する工程とを具備する半導体装置の製造方法。

成するよう突起パターンを形成する突起パターン形成工程と、

前記リードパターンが形成された前記第 1 の基材と、前記突起パターンが形成された前記第 2 の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接合されるよう前記第 1 の基材と前記第 2 の基材とを接合する接合工程と、

前記第 1 の基材及び第 2 の基材の不要部分を除去する除去工程とを具備することを特徴とするリードフレームの製造方法、

【請求項 14】 請求項 10 または 11 記載のリードフレームの製造方法において、

基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

前記リードパターン形成工程後、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することを特徴とするリードフレームの製造方法、

【請求項 15】 請求項 14 記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置にバンプを単数個又は複数個重ねることにより前記突起を形成したことを特徴とするリードフレームの製造方法、

【請求項 16】 請求項 14 記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするリードフレームの製造方法、

【請求項 17】 請求項 14 記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするリードフレームの製造方法、

【発明の具体的な説明】

(0001)

【産業上の利用分野】 本発明は半導体装置及びその製造方法及びリードフレームの製造方法に係り、特に半導体チップ及びリードを樹脂封止した状態を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関する。

(0002) 近年、電子回路のダウンサイジングに伴い、半導体装置の高密度化及び半導体装置の高信頼性化が図られている。一方で、電子回路の信頼性の向上も求められており、これに伴い半導体装置の信頼性も向上させる必要がある。更に、半導体装置は製品コストの低減も望まれている。

(0003) よって、上記した各要求を満足しようとする半導体装置が求められており、

リップチップ方式の実装構造が知られており、マルチチップ・モジュール (MCM) において広く用いられている。この MCM で用いるリップチップ実装は、樹脂封止をしていない半導体チップ (ペアチップ) の電極パッドにバンプを形成しておき、このペアチップを基板 (マザーボード) に形成された電極部にフエースダウンボンディングすることにより実装する構成とされている。

(0005) 上記のリップチップ方式の実装構造を用いることにより、高密度に半導体装置をマザーボードに配設することが可能となり、またペアチップに直接形成されたバンプを用いてマザーボードに電気的に接続されるため、電気的特性を向上させることができる。

(0006)

【発明が解決しようとする課題】 しかるに、樹脂封止がされていないペアチップは、耐熱性、機械的強度、及び耐湿性が低いという問題点がある。また、ペアチップに形成されている電極パッドに直接バンプが形成されれば、接合部を形成するため、ペアチップに形成されている電極パッドのレイアウトがそのまま外部接続端子 (バンプ) のレイアウトとなってしまい、

(0007) 一般に半導体チップの電極パッドのレイアウトは半導体製造メーカーによって異なり、従って同一規格を有する半導体装置であっても、ユーザー側で半導体装置の信頼性 (製造メーカー) に対応するようマザーボードの配線パターンを設計する必要がある。このように、従来のペアチップを用いた実装構造では、半導体装置の外部電極端子の標準化がされていないことにより、半導体装置とマザーボードとのマッチング性に欠け、ユーザー側の負担が重くなるという問題点があった。

(0008) また、これを解決するためにチップ表面にプロセス処理を行い、配線を引き出すことにより標準化を図ることが考えられるが、この構成では配線の引き出しに高信頼性を有する多くの工程を必要とし、製品コストの上昇及び生産効率の低下を招いてしまうという問題点があった。

(0009) 本発明は上記の点に鑑みてなされたものであり、半導体チップの信頼性を維持しつつ外部電極端子の標準化、製品コストの低減及び生産効率の向上を図りうる半導体装置及びその製造方法及びリードフレームの製造方法を提供することを目的とする。

(0010)

【課題を解決するための手段】 上記の課題は下記のとおりを挙げることで解決することができ、請求項 1 記載の発明では、第 1 のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する樹脂封止部とを具備する半導体装置におい

された配線を封止し、かつ前記突起を露出させるよう配線されることを特徴とするものである。

(0011) また、請求項2記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を上記第1のピッチと異なる第2のピッチで形成すると共に、前記半導体チップに形成された前記電極パッドの配線面を基準とし、前記配線面における前記封止樹脂の厚さが、前記配線面から前記突起までの高さすば以下で、かつ前記配線面から前記突起までの高さすば以上となるよう構成したことを特徴とするものである。

(0012) また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記半導体チップと前記リードとをポリイミド膜を覆着剤として接合したことを特徴とするものである。

(0013) また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記突起を前記リードと一体的に形成したことを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体装置において、前記配線としてワイヤを用いたことを特徴とするものである。

(0014) また、請求項6記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置において、前記突起にバンプを形成したことを特徴とするものである。また、請求項7記載の発明では、半導体装置の製造方法において、外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、前記リード又は半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介在させて前記リードと前記半導体チップを所定圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を覆着剤として前記リードと前記半導体チップとを接合する接合工程と、前記半導体チップに形成されている電極パッドと前記リードとを配線を引を固し接続することにより、前記電極パッドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内に全面を封止すると共に、前記突起の少なくとも一面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とするものである。

(0015) また、請求項8記載の発明では、前記請求項7記載の半導体装置の製造方法において、前記接合工程でポリイミド膜により前記リードと前記半導体チップを接合する際、前記ポリイミド膜として所定厚の可塑性を有する膜を用いたことを特徴とするものである。

項7または8に記載の半導体装置の製造方法において、前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とするものである。

(0017) また、請求項10記載の発明では、インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするものである。

(0018) また、請求項11記載の発明では、前記請求項10記載のリードフレームにおいて、前記アウターリード部のリードピッチ(P_{out})と前記突起の形成位置における前記リードの長さ(W)とが略等しく($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ(P_{in})が前記アウターリード部のリードピッチ(P_{out})の略半分のピッチ($P_{in} \approx P_{out} / 2$)であることを特徴とするものである。また、請求項12記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第1のエッチング工程と、前記第1のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第2のエッチング工程とを具備することを特徴とするものである。

(0019) また、請求項13記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、重ね合わせることで前記突起の所定高さすばとなるよう厚さが選定された第1の基材と第2の基材を用意し、前記第1の基材に、平面化した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記第2の基材に、少なくとも前記突起の形成位置に位置するよう突起パターンを形成する突起パターン形成工程と、前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接合されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除三工程とを具備することを特徴とするものである。

(0020) また、請求項14記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に、平面化した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

(0021) また、請求項15記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置にパンプを単独あるいは複数組み重ねることにより前記突起を形成したことを特徴とするものである。

(0022) また、請求項16記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするものである。

(0023) 更に、請求項17記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするものである。

(0024)

(作用) 上記した各手段は、下記のように作用する。請求項1及び請求項2記載の発明によれば、半導体チップは対止樹脂により対止されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドをリード及び配線を用いて引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、対止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部腐食酸子は対止樹脂から露出しているため実装基板との電気的接続を確実に行うことができる。

(0025) また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を保護膜として用いているため、半導体チップとリードの絶縁と接合を一括的に行うことができる。よって、絶縁材と保護膜とを別個に配設する場合に比べて構造の簡素化及び製造の容易化を図ることができる。

(0026) また、請求項4記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡素化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

(0027) また、請求項6記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する場合に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、接合工程においてポリイミド膜を所定温度かつ所定圧力下に置くことにより厚み減らして、これに

(0028) また、接合工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置にリード形成工程、接合工程、接合工程及び対止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

(0029) また、請求項8記載の発明によれば、ポリイミド膜として両面に無孔性を有する保護膜を配設したものをを用いることにより、ポリイミド膜に即加する温度等を所定範囲内に制限することなく接合処理を行うことができるため、接合処理を容易に行うことができる。

(0030) また、請求項9記載の発明によれば、接合工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単に接合に電極パッドとリードとの接続処理を行うことができる。また、請求項10及び請求項11記載の発明によれば、アフターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアフターリード部のリードピッチは大きいので、実装基板への実装性を向上させることができる。また、突起がアフターリード部に形成されることにより、この突起を外装保護膜で覆って用いることができ、これによっても実装性を向上させることができる。

(0031) また、請求項12記載の発明によれば、第1のエッチング工程において突起の形成位置にマスクを配設した上で基材に対してハーフエッチングを行うことにより、突起形成位置を除く部分の厚みを薄くし、更に第2のエッチング工程においてリード形成位置にマスクを配設した上で第1のエッチング工程が終了した基材に対してエッチングを行うことにより、突起が一体的に形成されたリードを形成することができる。

(0032) ここで、リードを形成する際にリードのピッチは基材の厚さにより決定されてしまう。具体的には、リードのピッチは基材の厚さと略等しいピッチにしか形成することはできない。よって、薄い厚さを用いるとリードピッチを狭ピッチ化することができる。

(0033) ところが、突起が形成されるリードでは基材の厚さは突起の高さにより決まってしまう。突起の高さと等しい厚さを有する基材を単にエッチング処理したのでは狭ピッチのリードを形成することができない。したがって、上記のように第1のエッチング工程において

も狭ピッチのリード形成を行うことが可能となる。尚、上記説明から明らかなように、突起の配設ピッチは基材の板厚と略等しいピッチまで狭ピッチ化することができる。

(0034) また、請求項13記載の発明によれば、第1の基材及び第2の基材を重ね合わせることにより突起の所定高さ法となるよう板厚が決定されているため、各基材の板厚は突起の高さ寸法より小さな厚さとされている。リードパターン形成工程では、この板厚の薄い第1の基材に対してリードの形状となるようリードパターンを形成するため、先に説明した板厚とリードピッチの関係により、形成されるリードパターンのリードピッチを狭ピッチ化することができる。

(0035) また、突起パターン形成工程において第2の基材に少なくとも突起形成位置に位置するよう突起パターンを形成し、接着工程において上記第1の基材と第2の基材を重ね合わせ接着することにより、突起の形成位置においてリードパターンと突起パターンが積層され、この位置における板厚は突起の所定高さとなる。続く除去工程では不要部分が除去されリードが形成される。

(0036) 従って、上記のようにリードパターンの形成時には板厚は薄いためリードピッチを狭ピッチ化することができ、また突起形成位置においてはリードパターンと突起パターンが積層されることにより所定高さの突起を形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず決定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

(0037) 更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

(0038)

(実施例) 次に本発明の実施例について図面と共に説明する。図1及び図2は、本発明の一実施例である半導体装置1を示している。図1は半導体装置1の断面図であり、また図2は半導体装置1を底面図である。

(0039) 各図に示されるように、半導体装置1は大略すると半導体チップ2、複数のリード3、防止層4、及びパッド5等により構成されている。半導体チップ2は、底面の中央位置に複数の電極パッド6が一列に配設されている。また、複数のリード3は、電極パッド6

(0040) このポリイミド膜7は、半導体チップ2の上面に形成された図1の電極パッド6とリード3とを電気的に絶縁する絶縁部材として機能すると共に、保護層として機能するようにポリイミド膜7は半導体チップ2とリード3とを覆う厚さとして形成されている。このように、ポリイミド膜7に絶縁部材と保護層の双方の機能を果たさせることにより、絶縁部材と保護層とを別個に配設する構成に比べ、半導体装置1の構造の簡素化及び製造の容易化を図ることができる。

(0041) また、インナーリード部3aと半導体チップ2に形成された電極パッド6との間にはワイヤ8が配設されており、このワイヤ8を介して半導体チップ2とリード3は電気的に接続された構成とされている。更に、各リード3に設けられたアウターリード部3bの所定位置には、外部接続端子となる突起9が一体的に形成されている。上記構成とされたリード3は、各図に示されるようにその大部分が半導体チップ2の底面に配設された構成の、いわゆるリード・オン・チップ(LOC)構造となっており、半導体装置1の小型化が図られている。

(0042) また、防止層4は例えばエポキシ樹脂よりなり、保護層としてモールドングにより形成されている。この防止層4は、半導体チップ2の底面及び側面の所定範囲に配設されている。しかるに本実施例では、半導体チップ2の上面においては、熱伝性を向上させる面より防止層4は配設されていない構成とされている。

(0043) 上記防止層4は、半導体チップ2の電極パッド6の配設部(底面)を基礎とし、この底面からの高さ(図中、矢印Hで示す)が、底面から突起9の先端までの高さ寸法(図中、矢印Wで示す)以下で、かつ底面からワイヤ8のループ最上部までの高さ寸法(図中、矢印hで示す)以上となるよう構成されている(h≦H≦W)。この構成とすることにより、突起9の少なくとも先端部9aは確実に防止層4から露出し、またワイヤ8及び突起9の露出部分を除くリード3は防止層4に封止された構成となる。

(0044) このように、本実施例の半導体装置1は、半導体チップ2の所定範囲(上面を除く部位)を防止層4で封止された構成となるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、防止層4はワイヤ8を確実に保護するため、これによっても半導体装置1の信頼性を向上させることができ、更に外部接続端子となる突起9の少なくとも先端部9aは確実に防止層4から露出するため、実装面10との電気的接続を容易に行うことができる。

(0045) ここで、図3を用いて半導体装置1の他の

ている。図2に示されるように、リード3は隣接するインナーリード部3aのリードピッチ（図中、矢印P...で示す）が隣接するアウターリード部3bのリードピッチ（図中、矢印P...で示す）よりも小さくなるよう形成されている。具体的には、インナーリード部3aのリードピッチP...はアウターリード部3bのリードピッチP...の略半分のピッチ（ $P_{in} = P_{out} / 2$ ）となるよう形成されている。また、後に詳述するように、アウターリード部3b上のリードピッチP...は突起9の形成位置におけるリード3の厚さWとが略等しくなるよう形成されている（ $P_{out} \approx W$ ）。

〔0046〕上記のように、アウターリード部3bのリードピッチP...に対してインナーリード部3aのリードピッチP...が小さく設定されることにより、インナーリード部3aが電気的に接続される半導体チップ2の電極パッド6の配設ピッチが小さくてもこれに対応させることができ、かつ突起9の形成位置10と電気的に接続されるアウターリード部3b（突起9）のリードピッチP...は大きいため、半導体装置1の実装基板10に対する実装性を向上させることができる。

〔0047〕一方、本実施例に係る半導体装置1は、半導体チップ2に配設されている電極パッド6に電極パッド5を形成し実装基板10に接続するのではなく、電極パッド6とインナーリード部3aとの間にワイヤ8を引を回した上でリード3を介して実装基板10に接続する構成とされている。従って、電極パッド6をリード3及びワイヤ8を用いて引を回すことができるため、リード3のレイアウトを電極パッド6のレイアウトに拘わらず設定することが可能となる。

〔0048〕具体的には、図2に示す例では、半導体チップ2の中央に形成されている電極パッド6をワイヤ8及びリード3を用いて引を回し、外部接続端子となる突起9を半導体チップ2の外周位置に引き出している。また、図3に示されるように、電極パッド6が半導体チップ2の外周位置に形成されている場合には、本発明を適用して電極パッド6をワイヤ8及びリード3を用いて引を回すことにより、電極パッド6の形成位置より内側に外部接続端子となる突起9を形成することも可能である。更に、図4に示されるように、外部接続端子となる突起9を半導体チップ2の外周位置に配設することも可能となる。

〔0049〕このように、電極パッド6をリード3及びワイヤ8を用いて引を回すことが可能となることにより、実装基板10と半導体装置1とのマッチング性を向上させることができ、外部接続端子となる突起9のレイアウトを即ち外部接続端子のレイアウトに容易に設定することができる。よって、半導体装置1を用いるユーザ側の負担を軽減することができる。

は、リード形成工程、所定工程、保護工程及び停止電圧配設工程の基本となる4工程と、これに付随するパンプ形成工程、保護工程の2工程を行うことにより製造される。以下、各工程順に説明するものとする。

〔0051〕図5乃至図9はリード形成工程の第1実施例を示している。このリード形成工程は、リード3の基材となるリードフレーム11を形成するための工程である。リードフレーム11を形成するには、先ず図5に示されるような平板状の基材12を用意する。この基材12は、例えば4.2アロイ等のリードフレーム材料であり、またその板厚は形成しようとする突起9の高さで厚さWと等しいものが選定されている。

〔0052〕上記の基材12に対しては、先ず図6に示されるようにマスク13（図中で示す）が配設される。このマスク13は、所定の突起9の形成位置（図中、参照符号14で示す）及びクレードル形成位置（図中、参照符号15で示す）に配設される。

〔0053〕上記のようにマスク13が配設されると、図6に基材12に対してハーフエッチング処理（第1のエッチング工程）が実施される。本実施例においては、ウェットエッチング法により基材12に対してハーフエッチング処理を行っている（ドライエッチング処理等の他のエッチング方法を用いることも可能である）。またエッチング時間は、エッチングにより浸食される部分（図6で白抜きで示される部分）の厚さが、基材12の板厚Wの半分の寸法（ $W/2$ ）となるよう設定されている。

〔0054〕このハーフエッチング処理が終了し、マスク13を取り除いた状態を図7に示す。この状態では、突起9の形成位置14及びクレードル形成位置15のみが元の基材12の厚さWを維持しており、他の部分（参照符号16で示す）はハーフエッチングによりその厚さは $W/2$ となっている。

〔0055〕上記のようにハーフエッチング処理が終了する。図8に示されるように所定のリード3の形成位置（参照符号18で示す）及びクレードル形成位置15にマスク17（図中で示す）を配設した上で、この基材12に対してエッチング処理を行う。

〔0056〕上記のようにマスク17が配設されると、図8に基材12に対してエッチング処理（第2のエッチング工程）が実施され基材12のマスク17が配設された位置以外の部分を除去する。これにより、図9に示すリード3の所定形状を有した状態のリード3を具備するリードフレーム11が形成される。尚、必要に応じてこのリードフレーム11の所定位置（リード3の形成位置）にハンク等を施してもよい。

〔0057〕このように形成されたリードフレーム11は、

ーリード部 3 a 及び突起 9 の形成位置を除くアフターリード部 3 b の厚さは $W/2$ となっている。

【0058】ここで、リードピッチと基材 1 2 の板厚との関係について説明する。前記したように、リード 3 を形成する際にリード 3 のピッチは基材 1 2 の板厚により決定されてしまい、具体的にはリードピッチは基材 1 2 の板厚と等しいピッチにしか形成することはできない。よって、基材 1 2 の板厚が同じなリードピッチを狭ピッチ化することができない。

【0059】ところが、突起 9 が形成されるリード 3 では基材 1 2 の板厚は突起 9 の高さにより決まってしまう。突起 9 の高さと同じ板厚を有する基材 1 2 を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記したように第 1 のエッチング工程においてハーフエッチング処理を実施することにより、突起形成位置 1 4 を除き基材 1 2 の板厚を薄くし（約 $W/2$ の板厚となるようにする）、更にこの薄くされた板厚を有する部分に第 2 のエッチング工程を実施してリード 3 を形成することにより、突起 9 を有するリード 3 であっても狭ピッチ（図 1 に示されるリードピッチ P_{11} ）のリード形成を行うことが可能となる。また、同様の理由により、突起 9（アフターリード部 3 b）の配位ピッチ（ P_{11} ）は、基材 1 2 の板厚 W と等しいピッチまで狭ピッチ化することが可能となる。

【0060】尚、具体例としては、一般にリード基材として用いられている板厚 0.10mm、0.15mm、0.20mm の基材を用いれば、板厚 0.10mm の基材ではアフターリード部 3 b 及び突起 9 の最小ピッチ P_{11} を 0.10mm（ $P_{11} = 0.10mm$ ）、インナーリード部 3 a の最小ピッチ P_{12} を 0.15mm（ $P_{12} = 0.05mm$ ）とすることができ、また、板厚 0.15mm の基材ではアフターリード部 3 b 及び突起 9 の最小ピッチ P_{11} を 0.15mm（ $P_{11} = 0.15mm$ ）、インナーリード部 3 a の最小ピッチ P_{12} を 0.075mm（ $P_{12} = 0.075mm$ ）とすることができ、更に、板厚 0.20mm の基材ではアフターリード部 3 b 及び突起 9 の最小ピッチ P_{11} を 0.20mm（ $P_{11} = 0.20mm$ ）、インナーリード部 3 a の最小ピッチ P_{12} を 0.10mm（ $P_{12} = 0.10mm$ ）とすることができ、

【0061】一方、突起 9 の形成位置に着目すると、突起 9 の形成位置は図 6 に示されるマスク 1 3 の配位位置により決められる。即ち、この図 6 に示されるマスク 1 の配位位置を任意変更することにより、突起 9 の形成位置を任意決定することが可能となる。このため、本発明に係るリード形成方法では、外部形成部となる突起 9 の形成位置を自由位置をもって決定することができ、予め定められている基板外部形成部位置に突起を形成することが可能となる。

ム 20 を形成するには、先ず図 10 に示されるような第 1 の基材 2 1 と、図 11 に示されるような第 2 の基材 2 2 を用意する。

【0063】このとき基材 2 1、2 2 は、重ね合わせることで突起 9 の所定高さ寸法 W となるよう板厚が決定されており、本実施例では各基材 2 1、2 2 の板厚は共に $W/2$ に決定されている。尚、各基材 2 1、2 2 の板厚はこれに決定されるものではなく、重ね合わせることで突起 9 の所定高さ寸法 W となる条件の基に各基材 2 1、2 2 で板厚を異ならせた構成としてもよい。

【0064】図 10 に示される第 1 の基材 2 1 は、例えば 42 アロイ等のリードフレーム材料により形成されており、エッチング処理或いはプレス打ち抜き処理等を予め実施することにより、平面状の場合にリード 3 と同一形状のリードパターン 2 3 が形成された構成とされている。しかるに、第 1 実施例で説明したリード形成工程と異なり、この状態のリードパターン 2 3 には突起 9 は形成されておらず、よってリードパターン 2 3 は全体的にその板厚が $W/2$ とされている。尚、図中 2 5 で示すのは位置決め孔であり、リードパターン 2 3 の形成時に一括的に形成されるものである。

【0065】一方、図 11 に示される第 2 の基材 2 2 は、予め 42 アロイ等のリードフレーム材料に対しエッチング処理或いはプレス打ち抜き処理等を実施することにより、突起パターン 2 4 が形成された構成とされている。この突起パターン 2 4 は基状のパターン形状を有しており、所定の突起 9 の形成位置を推測するよう構成されている。尚、図 2 6 は位置決め孔であり、突起パターン 2 4 の形成時に一括的に形成されるものである。

【0066】上記構成とされた第 1 の基材 2 1 及び第 2 の基材 2 2 は、位置決め孔 2 5、2 6 を用いて位置決めされつつ重ね合わせられ接合される。この第 1 及び第 2 の基材 2 1、2 2 の接合は、導電性接着剤を用いて接合してもよく、また溶接により接合してもよい。図 12 は、第 1 の基材 2 1 と第 2 の基材 2 2 とが接合された状態を示している。

【0067】上記のように第 1 の基材 2 1 と第 2 の基材 2 2 とが接合された状態で、第 2 の基材 2 2 に形成されている突起パターン 2 4 は、第 1 の基材 2 1 に形成されているリードパターン 2 3 の所定突起形成位置の上に重ね合わせられるよう構成されている。

【0068】図 13 は、リードパターン 2 3 と突起パターン 2 4 とが重なり合った部位を拡大して示す平面図であり、また図 14 はリードパターン 2 3 と突起パターン 2 4 とが重なり合った部位を拡大して示す断面図である。各図から明らかなように、板厚が $W/2$ のリードパターン 2 3 と、同じく板厚が $W/2$ の突起パター

(0069) 上記のように第1の基材21と第2の基材22との接合処理が終了すると、残いて不要部分、具体的には突起パターン24のリードパターン23と交差した部分を除く部位をプレス加工等により除去することにより、図15に示すように突起9が一体的に形成されたリード3を有するリードフレーム20が形成される。

(0070) 上記のように、本実施例により製造されたリードフレーム20も第1実施例で製造されたリードフレーム11と同様に、リード3はインナーリード部3a、アウターリード部3b及び突起9が一体的に形成された構成となる。また、図10に示すリードパターン23の形成時においては、第1の基材21の厚さは $W/2$ とされているため、先に説明した基板とリードピッチの高低から明らかなように、該ピッチのリードパターン23を形成することができる。

(0071) 一方、突起9の形成位置に注目すると、突起9の形成位置は第2の基材22に形成される突起パターン24の形成位置により決められる。即ち、この突起パターン24の形成位置を適宜変更することにより、突起9の形成位置を任意に設定することが可能となる。このため、本実施例に係るリード形成方法においても、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている標準外形規格端子位置に突起9を容易に形成することが可能となる。

(0072) 上記のようにリード形成工程を実施することによりリードフレーム11、20（以下の説明では、リードフレーム11を用いた場合を例に挙げて説明する）が形成されると、残いてリードフレーム11と半導体チップ2を接合する接合工程が実施される。以下、図16乃至図20を用いて接合工程について説明する。

(0073) 接合工程においては、先ず図16に示されるようにリードフレーム11のインナーリード部3a（換言すれば、後述する接合工程においてワイヤ8がボンディングされる部位）に金メッキを施すことにより、ボンディングパッド部27を形成する。

(0074) また、図17に示されるように、半導体チップ2の電極パッド6の形成された面には、この電極パッド6の形成部位のみが露出する構成でポリイミド膜7が配設される。このポリイミド膜7はガラス転移点が一00～300℃のものが選定されており、図17に示される状態では既に半導体チップ2に貼置されただけの状態となっている。従って、ポリイミド膜7が収縮しないよう、半導体チップ2は電極パッド6の形成面が上記に位置するよう配設されている。尚、半導体チップ2は形成時に行われておらずベアチップ状とされている。また、上記のポリイミド膜7は、半導体チップ2を形成す

れた半導体チップ2には、図18に示されるように、リードフレーム11が貼置される。この際、リードフレーム11に形成されているリード3（インナーリード部3a）と、半導体チップ2に形成されている電極パッド6とが精度よく対向するよう、リードフレーム11は位置決めされる。

(0076) 上記のようにリードフレーム11が半導体チップ2上の所定位置に位置されると、残いて図19に示されるように加熱28が施され、リードフレーム11を半導体チップ2に向け押圧する。また、この加熱28は加熱装置を具備しており、加熱28で発生する熱はリードフレーム11を介してポリイミド膜7に印加される。

(0077) 上記ポリイミド膜7は、半導体チップ2とリードフレーム11とを電気的に接続する絶縁材料として従来より一般的に用いられているものであるが、本発明者はこのポリイミド膜7を所定の環境条件下に置くことにより接着剤として機能することを見出した。具体的には、ポリイミド膜7としてガラス転移点が一00～300℃のものを使用し、かつこのポリイミド膜7をガラス転移点+100～200℃に加熱すると共に、 $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加することにより、ポリイミド膜7は接着剤として機能するようになる。

(0078) よって、本実施例では上記の点に注目し、半導体チップ2とリードフレーム11との接合時に、加熱28に掛けられているヒータによりポリイミド膜7をガラス転移点+100～200℃に加熱すると共に、加熱28の加工によりポリイミド膜に $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加する構成としている。これにより、ポリイミド膜7は接着剤として機能するようになり、半導体チップ2とリードフレーム11とをポリイミド膜7を用いて接着することが可能となる。

(0079) 上記構成とすることにより、従来では必要とされたポリイミド膜を半導体チップ2及びリードフレーム11と接着するための接着剤は不要となり、部品コストの低減及び半導体装置1の組み立て工程の低減を図ることができる。図20は、半導体チップ2とリードフレーム11とがポリイミド膜7により接合された状態を示している。

(0080) 尚、半導体チップ2とリードフレーム11とを接合する際には、ポリイミド膜7を用いて接合する方法に限定されるものではなく、従来のようにポリイミド膜の両面に接着剤を塗布しておき、この接着剤によりポリイミド膜を介在させた状態で半導体チップ2とリードフレーム11とを接合する方法を用いてもよい。この構成では、ポリイミド膜に加える温度範囲及び押圧力範囲が異なるため、接合工程を明確に区別することができる。

ド3と半導体チップ2に形成されている電極パッド6とをワイヤ8で電気的に接続する接続工程が実施される。

〔0082〕図21は、キャピタリ29を用いてワイヤ（例えば金ワイヤ）8をリード3に形成されたボンディングパッド部27（図16参照）と電極パッド6との間に配線する処理を示している。所記のように、半導体装置1の電気的体性を向上させる点からはワイヤ8の長さは短い方がよく、また半導体装置1の小型化・薄型化のためにはワイヤ8は低ループであることが望ましい。

〔0083〕このため、ワイヤ8を配線するのに低ループボンディング法を採用することが望ましい。低ループボンディング法も種々の方法が提案されているが、例えば先ず半導体チップ2に形成されている電極パッド6にワイヤ8をボンディングし、続いて垂直方向にキャピタリ29を移動させた後に水平方向に移動させてリード3にボンディングする、いわゆる逆打ち法を用いる構成としてもよい。

〔0084〕上記のように、リード3と電極パッド6とを電気的に接続するのにワイヤボンディング法を用いることにより、容易かつ高速度に接続処理を行うことができる。また、リード3と電極パッド6との間におけるワイヤ8の引き回しも比較的自由度を持って行うことができる。尚、図22は、接続工程を実施することによりリード3と電極パッド6との間にワイヤ8が配線された状態を示している。

〔0085〕上記のように接続工程を実施することにより、電極パッド6とリード3とがワイヤ8により電気的に接続されると、続いて半導体チップ2の所定部分に封止樹脂4を配線する封止樹脂配設工程が実施される。以下、図23乃至図25を用いて封止樹脂配設工程について説明する。

〔0086〕図23は、上記の各工程を実施することによりリードフレーム11、ワイヤ8等が配線された半導体チップ2を金型30に装着した状態を示している。金型30は上型31と下型32とにより構成されており、リードフレーム11が上型31と下型32との間にクランプされることにより、半導体チップ2は金型30内に装着される。

〔0087〕上型31は、半導体チップ2が装着された状態で突起9及びリードフレーム11のクレドール33と当接する構成とされている。突起9の高さとクレドール33の高さは等しいため、よって上型31の形状は平板形状とされている。また、下型32に装着された半導体チップ2の側部に空間部を有したキャピティ形状を有しており、また半導体チップ2の面における底面はキャピティ33の底面と当接する構成とされている。

〔0088〕このように、封止樹脂配設工程で用いる上

装型1の製品コストの低減に寄与することができる。

〔0089〕図24は金型30に封止樹脂4（型材で示す）を充填した状態を示している。金型30に封止樹脂4を充填することにより、半導体チップ2の下型31と当接した上面（図23乃至図25では下底に位置する）を除く外面面に封止樹脂4により封止される。また、半導体チップ2の底面に配設されているリード3及びワイヤ8も封止樹脂4により封止された状態となる。また、突起9も上型31と当接している側面を除き封止樹脂4により封止された構成となる。

〔0090〕図25は、封止樹脂4が充填処理された半導体チップ2を金型30から離脱した状態を示している。同時に示されるように、半導体チップ2の上面2aは封止樹脂4より露出しており、よってこの上面2aより半導体チップ2で発生する熱を効果よく放熱させることができる。また、突起9の突起9aも封止樹脂4から外部に露出しており、従ってこの突起9aを外装接続端子として用いることができる。

〔0091〕図25に示される状態において、図中一点鎖線で示す箇所よりリードフレーム11を切断することにより半導体装置を形成しても、図1に示す半導体装置1と同様の効果を実現することができる。しかるに、図25に示す状態では、外部接続端子として機能する突起9の突起9aが封止樹脂4の表面と端面一となっているため、突起9aに対する実装性が不良である。このため、本実施例においては、封止樹脂配設工程が終了した後、突起9aにパンク5を形成するパンク形成工程を実施している。以下、パンク形成工程を図26乃至図30を用いて説明する。

〔0092〕パンク形成工程においては、先ず図26に示すように、封止樹脂4が配設された半導体チップ2の全面に対してホーニング処理を行い、残留する樹脂屑等を除去すると共に、突起9の突起9aを確実に外部に露出させる。ホーニング処理が終了すると、続いて図27に示すように、封止樹脂4が配設された半導体チップ2を半田槽34に浸漬し、突起9の突起9aに半田を用いて外装メッキを行う（半田槽を参照番号35で示す）。この外装メッキに用いる半田としては、例えばPb:Sn=1:9の組成比を有する半田の適用が考えられる。図28は、上記の外装メッキにより突起9の突起9aに半田層35が形成された状態を示している。

〔0093〕上記のように外装メッキ処理が終了すると、続いて半田層35が形成された突起9の突起9aにパンク5が形成される。このパンク5の形成方法としては種々の方法を採用することができ、例えば効果よくかつ容易にパンク5を形成しうる超音波ハンパ法を用いてもよい。図29は、パンク5が突起9の突起9a

リードフレーム 11 の切断処理が行われ、これにより、図 30 に示される半導体装置 1 が形成される。尚、このリードフレーム 11 の切断処理に先立ち、切断処理を容易にするためにリードフレーム 11 の切断箇所にはハーフエッチング処理を行ってもよい。

【0095】上記のように製造された半導体装置 1 に対しては、続いて適正に作動するかどうかを試験する試験工程が実施される。図 31 及び図 33 は、天々異なる半導体装置 1 の試験方法を示している。図 31 に示される試験方法では、ポンプ 5 を装着しうる構成とされたソケット 36 を用い、このソケット 36 に半導体装置 1 を装着することによりバーイン等の試験を行うものである。

【0096】また、図 32 に示される試験方法は、プローブ 37 を用いて半導体装置 1 の試験を行う方法である。半導体装置 1 は、封止樹脂 4 の側部位置にリード 3 の端部が封止樹脂 4 から露出した構成とされている。本試験方法では、これを利用して封止樹脂 4 から露出したリード 3 にプローブ 37 を接触させて試験を行う構成とされている。よって、本試験方法を採用することにより、半導体装置 1 を実装基板 10 に実装した状態においても試験を行うことが可能となる。

【0097】図 33 は、半導体装置 1 を実装基板 10 に実装する実装工程を示している。半導体装置 1 を実装基板 10 に実装する方法としては、周知の種々の方法を採用することが可能である。例えば、紫外線リフロー方法を用い、半導体装置 1 に付けられているポンプ 5 を実装基板 10 に形成されている電極部 38 にペースト等を用いて仮止めし、その上で紫外線リフロー炉においてポンプ 5 を溶融させることによりポンプ 5 と電極部 38 とを接合する方法を用いてもよい。

【0098】続いて、上記した半導体装置の製造方法の実形例について以下説明する。図 34 乃至図 37 は、天々異なる突起 9 の実形例を示している。図 34 (A)、(B) に示される突起 9 A は、その形状を円柱状とした構成である。また、図 37 (C) に示される突起 9 B は、その形状を角柱状とした構成である。このように、突起 9、9 A、9 B の平面形状は種々選定できるものであり、ポンプ 5 の接合性及び実装基板 10 に形成されている電極部 38 の形状等に応じて任意に形状を選定することが可能である。具体的には、例えばエッチング性により突起 9、9 A、9 B を形成する場合には、図 6 に示す突起形成位置 14 に対応するマスク 13 の形状を選定することにより突起 9、9 A、9 B の平面形状を容易に所望する形状とすることができ、

【0099】また、図 35 (A) に示される突起 9 C のように上面に高曲率凹部を形成した構成としてもよく、図 35 (B) に示される突起 9 D のように上面中央部に

E によれば、突起 9 上面における面積を大きくすることによってポンプ 5 との接合性の向上を図ることができる。尚、上記の突起 9 C ~ 9 E は、リード 3 の所定突起形成位置に、導電性接着剤等を用いて固定された構成とされている。

【0100】また図 35 (D) に示すのは、リード 3 をプレス加工等により導電性変形させることにより突起 9 F を形成したものである。このようにプレス加工等の塑性加工を用いて突起 9 F を形成することにより、極めて容易に突起 9 F を形成することができ、しかも、この形成方法では、突起 9 F の高さは塑性加工限界値を上廻し、それ以上の高さに設定することはできないという問題点も有する。

【0101】また、図 36 に示すのは、突起 9 G を形成するのにワイヤボンディング技術を用い、スタッドポンプ 7 を突起形成位置に形成することにより突起 9 G としたことを特徴とするものである。図 36 (A) は突起 9 G の形成方法を示しており、また図 36 (B) は突起 9 G を拡大して示している。

【0102】上記のように、突起 9 G をワイヤボンディング技術を用いスタッドポンプで形成することにより、任意の位置に突起 9 G を形成することが可能となり、外装構成端子となる突起 9 G を所定位置に容易に形成することができ、また、突起 9 G の形成は、半導体装置の製造工程の内、後工程においてワイヤ 8 の配線時に一時的に形成することが可能となり、製造工程の簡略化を図ることができる。

【0103】また、突起 9 G の高さはスタッドポンプを接合部積み重ねて配線することにより任意に設定することができ、図 37 (A) に示される突起 9 H は、スタッドポンプを 3 個積み重ねることにより図 36 (B) に示される 1 個のスタッドポンプにより突起 9 G を形成した構成に比べて高さを高くしたものである。

【0104】また突起 9 の高さを高くする他の方法として、図 37 (B) に示されるように予めリード 3 にブロック状の導電性材料 41 を導電性接着剤等により固定しておき、この導電性材料 41 の上部に図 37 (C) に示されるようにスタッドポンプ 42 を形成し、積層された導電性材料 41 とスタッドポンプ 42 とが協同して突起 9 I を形成する構成としてもよい。この構成の場合、突起 9 I の高さは導電性材料 41 の高さにより決まらるることとなるが、ブロック状の導電性材料 41 は種々の大きさのものが提供されており、よって突起 9 I の高さを任意に設定することができ、

【0105】図 38 は、図 34 乃至図 37 の実形例を示している。上記した実形例では、図 16 乃至図 20 に示したように半導体チップ 2 とリードフレーム 11 とを平定処理

ム 11 とを接合する構成としてもよい。

【0106】また、テープ状積層剤 45 の配設位置は、半導体チップ 2 の上面だけでなく、図 38 に示されるようリードフレーム 11 の下面にも設けてもよく、またリードフレーム 11 の下面のみに設けた構成としてもよい。更に、テープ状積層剤 45 の配設位置は、電極パッド 6 の形成位置を除く図 38 矢印 X で示す範囲であれば、自由に設定することができる。尚、テープ状積層剤 45 は、半導体チップ 2 とリードフレーム 11 とを電気的に絶縁する必要があるため、絶縁性積層剤である必要がある。

【0107】図 39 乃至図 42 は、積層工程の実形例を示している。上記した実施例では、図 21 及び図 22 に示されるように電極パッド 6 とリード 3 とを接合するのにワイヤ 8 を用いた構成を示したが、図 39 乃至図 42 に示す実施例では電極パッド 6 とリード 3 とを直接接合するダイレクトリードボンディング (DLB) 方法を用いたことを特徴としている。

【0108】図 39 及び図 40 に示す例では、リード 3 を例えば超音波振動子に接合された接合器具 46 を用いて直接的に電極パッド 6 に接合する構成とされている。しかるに、この構成では超音波振動する接合器具 46 により、電極パッド 6 にグメージが発生するおそれがある。

【0109】そこで図 41 及び図 42 に示す例では、予め電極パッド 6 にスタッドパンプ 47 を配設しておく。このスタッドパンプ 47 にリード 3 を当接させた上で加熱器具 48 を用いてスタッドパンプ 47 を加熱溶融し電極パッド 6 とリード 3 を接合する構成とされている。この接合方法によれば、電極パッド 6 が損傷するおそれなく、積層工程の信頼性を向上させることができる。

【0110】また、図 39 乃至図 42 に示した積層工程によれば、ワイヤ 8 を用いて電極パッド 6 とリード 3 を接合する構成に比べて電気抵抗を低減できるため、半導体装置 1 の電気特性を向上させることができ、高速の半導体チップ 2 に対応することができる。

【0111】図 43 乃至図 44 は、封止樹脂配設工程の実形例を示している。上記した実施例では、図 23 及び図 24 に示されるように金型 30 を構成する下型 32 のキャビティ底面は半導体チップ 2 の上面 2a と直接当接し、この上面 2a には耐熱性を向上させる部から封止樹脂 4 が配設されない構成とされていた。

【0112】しかるに、半導体装置 1 が使用される環境が厳しい（例えば、多塵環境）時には耐熱性よりも耐塵性等をより必要とする場合が生じ、このような場合には封止樹脂 4 により半導体チップ 2 を完全に封止する必要がある。図 43 及び図 44 に示す金型 30 は、半導体チップ 2 の上面 2a を完全に封止する構成とされている。

キャビティ 52 が、図 43 に示されるように半導体チップ 2 の外面から賦形しており、よって図 44 に示されるように封止樹脂 4 を金型に充填した状態で半導体チップ 2 には完全に封止樹脂 4 が封止された構成となる。このように、半導体チップ 2 に対する封止樹脂 4 の配設位置は、金型 30、50 に形成されるキャビティ 33、52 の形状を適宜変更することにより任意に設定することができる。

【0114】また、上型 31 にリード 3 に形成された突起 9 を嵌合する凹部を形成しておくことにより、図 45 に示されるような突起 9 が封止樹脂 4 から大きく突出した構成の半導体装置 60 を形成することも可能である。図 45 に示す半導体装置 60 は、突起 9 が封止樹脂 4 から大きく突出しているため実装基板 10 に対する実装性は良好であり、よって前記した実施例に係る半導体装置 1 のようにバンパ 5 を設ける必要はなく、半導体装置 60 の製造工程の簡素化を図ることができる。

【0115】

【発明の効果】上述の如く本発明によれば、下記の各々の効果を奏することができる。請求項 1 及び請求項 2 記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐塵性を向上させることができる。また、電極パッドとリードとの間接接合を引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外装振動子に封止樹脂から突出しているため実装基板との電気的接合を容易に行うことができる。

【0116】また、請求項 3 記載の発明によれば、通常半導体チップとリードとの接合材として配設されるポリイミド膜を積層剤として用いているため、半導体チップとリードの絶縁と接合を一括的に行うことができ、よって絶縁材と積層剤とを別個に配設する構成に比べて製造の簡素化及び製造の容易化を図ることができる。

【0117】また、請求項 4 記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて製造の簡素化を図ることができる。また、請求項 5 記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

【0118】また、請求項 6 記載の発明によれば、突起にバンパを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接合を容易に行うことができる。また、請求項 7 記載の発明によれば、突起の形状を適宜変更することにより任意に設定することができる。

構成としているため、リードと半導体チップとの接続と接合を一括的に行うことができる。

〔0119〕また、接続工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

〔0120〕また、請求項8記載の発明によれば、ポリイミド膜に印加する電圧等を所定範囲内に制限することなく接合処理を行うことができるため、接合処理を容易に行うことができる。また、請求項8記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単な構造で電極パッドとリードとの接続処理を行うことができる。

〔0121〕また、請求項10及び請求項11記載の発明によれば、アフターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアフターリード部のリードピッチは大きいので、実装基板への実装性を向上させることができる。また、突起がアフターリード部に形成されることにより、この突起を外部接続端子として用いることができ、これによっても実装性を向上させることができる。

〔0122〕また、請求項12及び請求項13記載の発明によれば、突起が一体的に形成された狭ピッチのリードを容易に形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

〔0123〕更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

〔図面の簡単な説明〕

〔図1〕本発明の一実施例である半導体装置を示す断面図である。

示す底面図である。

〔図4〕本発明の一実施例である半導体装置の実形例を示す底面図である。

〔図5〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、基材を示す図である。

〔図6〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

〔図7〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、第1のエッチング工程が終了した状態を示す図である。

〔図8〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

〔図9〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、完成したリードフレームを示す図である。

〔図10〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材を示す図である。

〔図11〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第2の基材を示す図である。

〔図12〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材と第2の基材を接合した状態を示す図である。

〔図13〕リードパターンと突起パターンとが重なり合った部位を拡大して示す平面図である。

〔図14〕リードパターンと突起パターンとが重なり合った部位を拡大して示す断面図である。

〔図15〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、完成したリードフレームを示す図である。

〔図16〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ボンディングパッド部の形成を説明するための図である。

〔図17〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにポリイミド膜を配設する処理を説明するための図である。

〔図18〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにリードフレームを配設する処理を説明するための図である。

〔図19〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ポリイミド膜を接合部として配設させて半導体チップとリードフレームとを接合する処理を説明するための図である。

示す図である。

【図21】本発明に係る半導体装置の製造工程の修理工程を説明するための図であり、キャビタリを用いてワイヤの配線処理を行っている状態を示す図である。

【図22】本発明に係る半導体装置の製造工程の修理工程を説明するための図であり、電極パッドとリードとの間にワイヤが配線された状態を示す図である。

【図23】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、半導体チップが金型に装着された状態を説明するための図である。

【図24】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、金型に封止樹脂が充填された状態を説明するための図である。

【図25】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、樹脂封止された半導体チップが金型から脱型された状態を説明するための図である。

【図26】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、ホーニング処理を実施している状態を示す図である。

【図27】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理を実施している状態を示す図である。

【図28】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理が終了した状態を示す図である。

【図29】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、パンパを形成した状態を示す図である。

【図30】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、完成した半導体装置を示す図である。

【図31】本発明に係る半導体装置の試験工程を説明するための図であり、ソケットを用いて試験を行う方法を示す図である。

【図32】本発明に係る半導体装置の試験工程を説明するための図であり、プローブを用いて試験を行う方法を示す図である。

【図33】半導体装置を真空基板に実装する実装工程を説明するための図である。

【図34】突起の平面形状を具ならせた実形状を示す図である。

【図35】突起の断面形状を具ならせた実形状を示す図である。

【図36】スタッドパンパにより突起を形成する構成を説明するための図である。

【図37】スタッドパンパにより突起を形成する構成の

【図39】突起形成の実形状を示す図であり、電極パッドに直接リードを接続する方法を説明するための図である。

【図40】突起形成の実形状を示す図であり、電極パッドに直接リードが接続された状態を示す図である。

【図41】突起形成の実形状を示す図であり、電極パッドにリードをスタッドパンパを介して接続する方法を説明するための図である。

【図42】突起形成の実形状を示す図であり、電極パッドにリードをスタッドパンパを介して接続した状態を示す図である。

【図43】封止樹脂配設工程の実形状を説明するための図であり、金型に半導体チップが装着された状態を示す図である。

【図44】封止樹脂配設工程の実形状を説明するための図であり、金型に封止樹脂が充填された状態を示す図である。

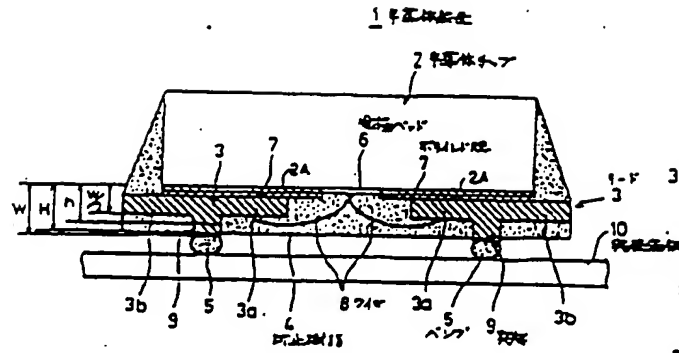
【図45】突起が封止樹脂より大きく突出した構成の半導体装置を示す図である。

【符号の説明】

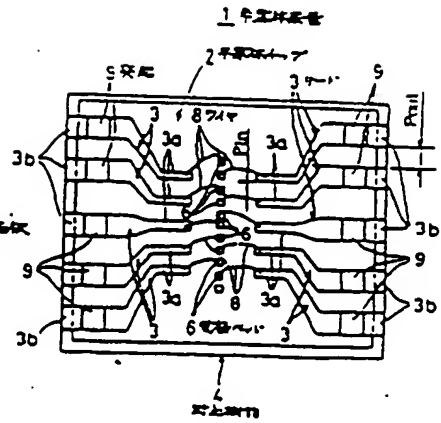
1. 60 半導体装置
- 2 半導体チップ
- 3 リード
- 3a インナーリード部
- 3b アウターリード部
- 4 封止樹脂
- 5 パンパ
- 6 電極パッド
- 8 フィヤ
9. 9A~9I 突起
- 10 真空基板
11. 20 リードフレーム
- 12 基材
13. 17 マスク
- 21 第1の基材
- 22 第2の基材
- 23 リードパターン
- 24 突起パターン
- 28 他基
- 29 キャビタリ
30. 50 金型
- 31 上型
32. 51 下型
33. 52 キャビティ
- 34 半田層
- 35 半田層
- 41 導電性材料

48 炭素箔具

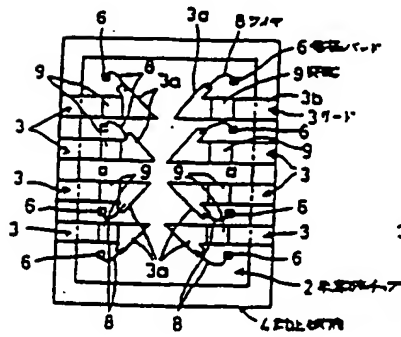
(図 1)



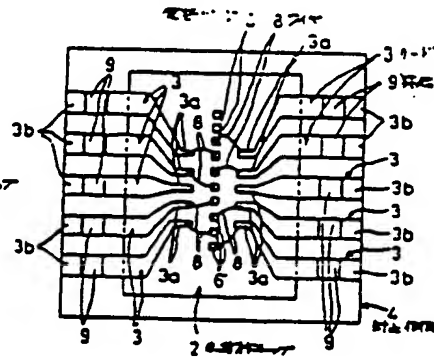
(図 2)



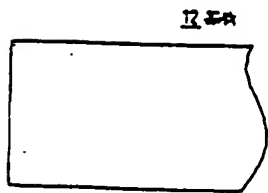
(図 3)



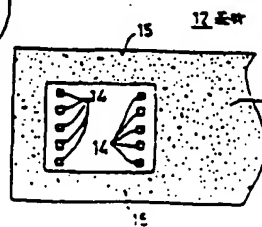
(図 4)



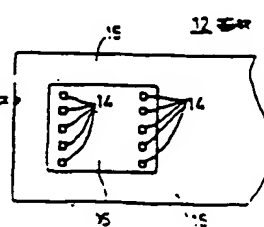
(図 5)



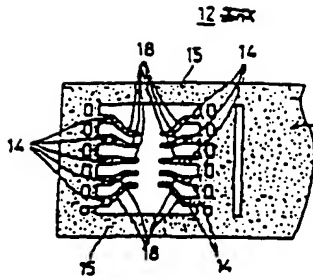
(図 6)



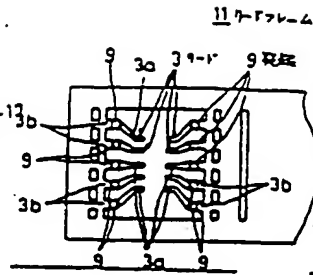
(図 7)



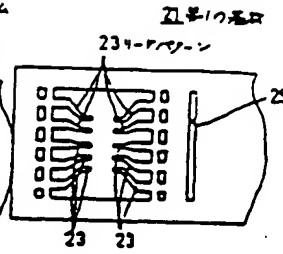
(図 8)



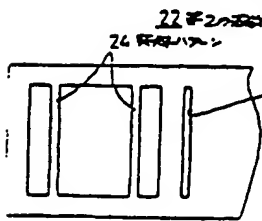
(図 9)



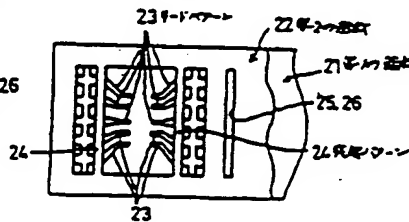
(図 10)



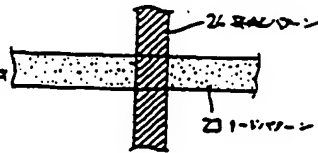
(図 11)



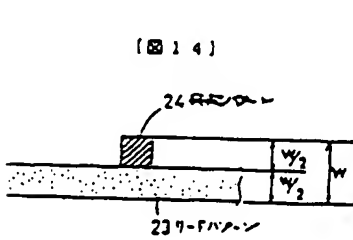
(図 12)



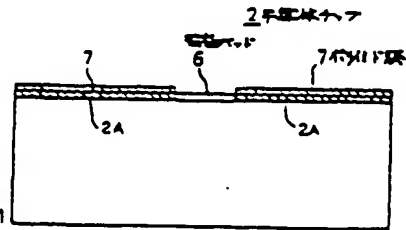
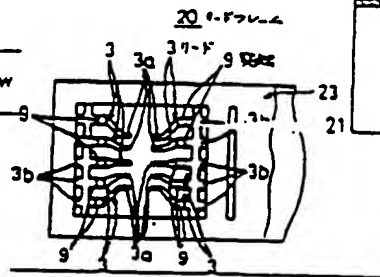
(図 13)



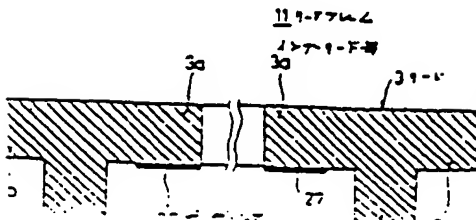
(図 14)



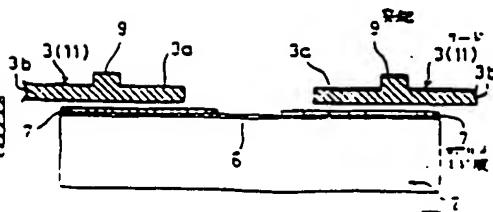
(図 15)



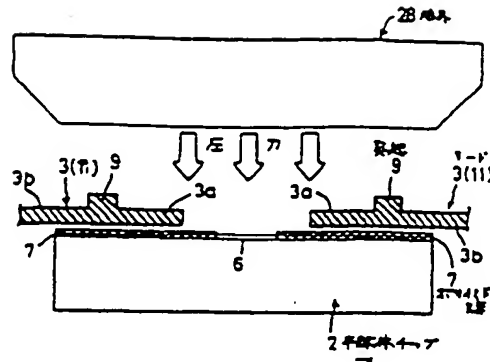
(図 16)



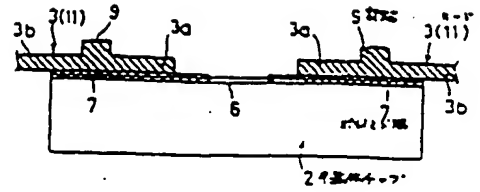
(図 17)



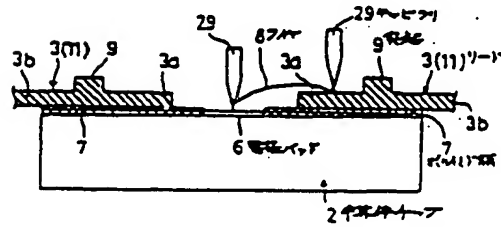
(図 1 9)



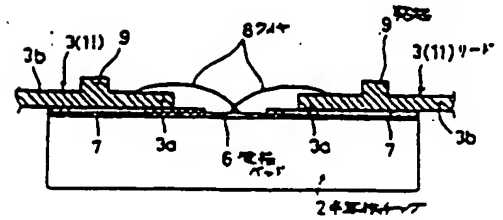
(図 2 0)



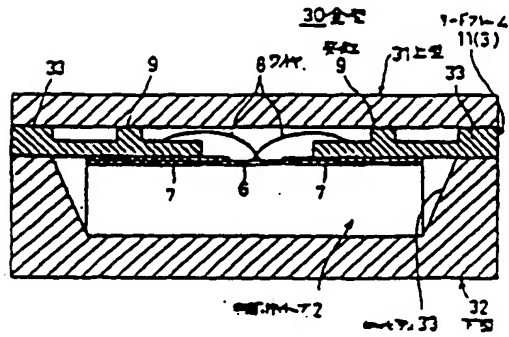
(図 2 1)



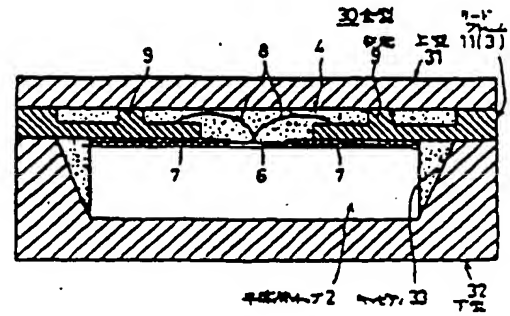
(図 2 2)



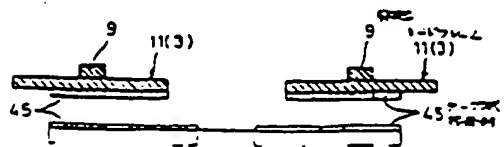
(図 2 3)



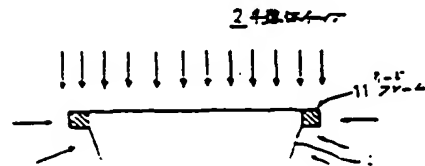
(図 2 4)



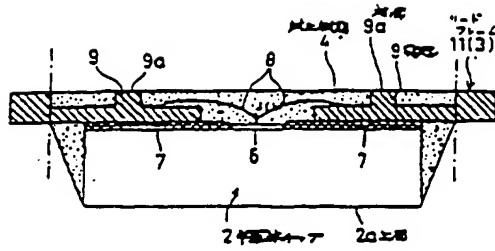
(図 3 8)



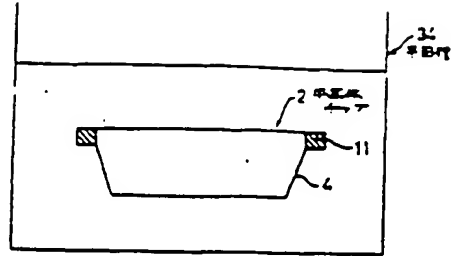
(図 2 6)



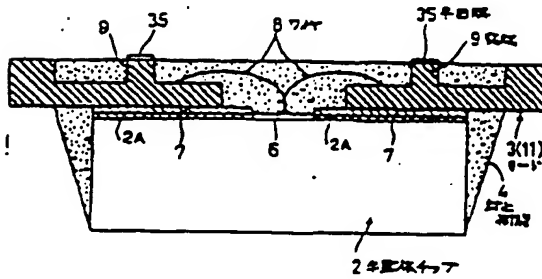
(図 25)



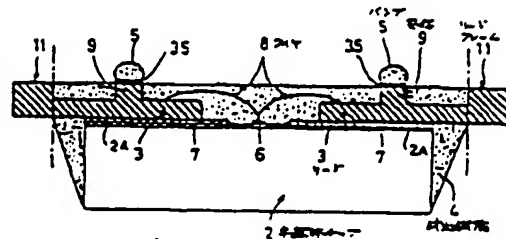
(図 27)



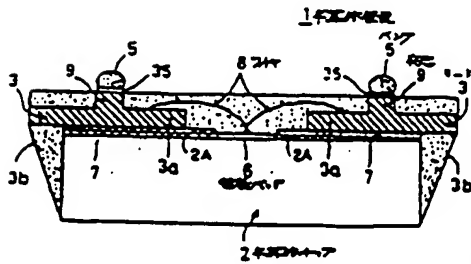
(図 28)



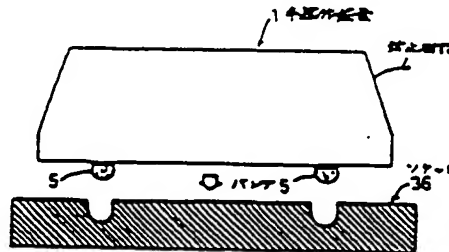
(図 29)



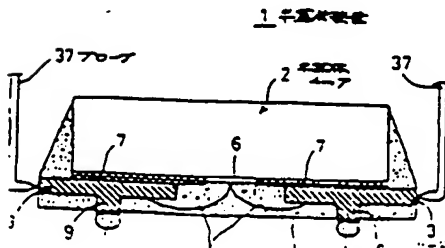
(図 30)



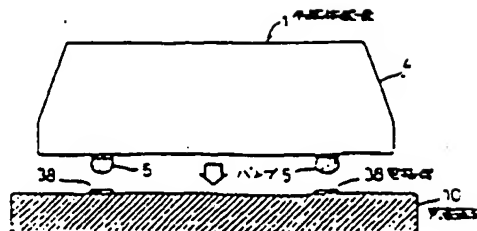
(図 31)



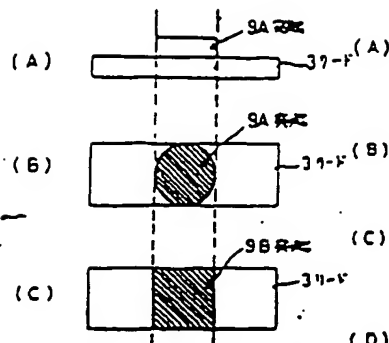
(図 32)



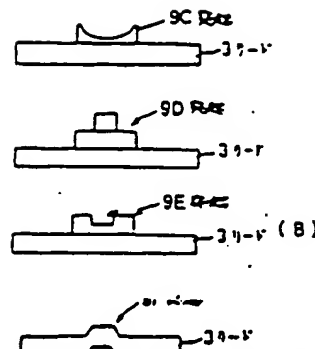
(図 33)



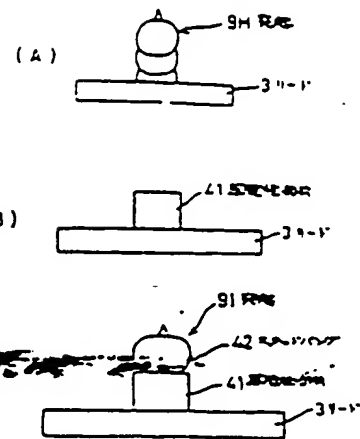
(図 3 4)



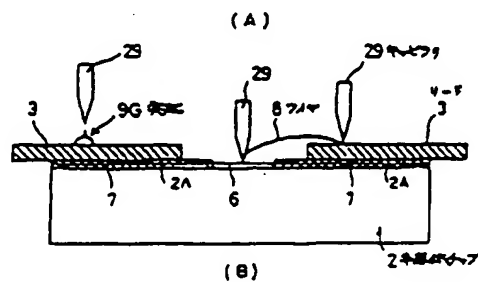
(図 3 5)



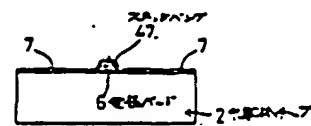
(図 3 7)



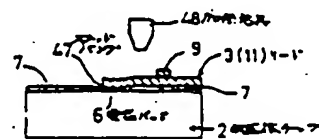
(図 3 6)



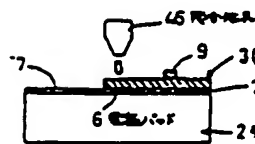
(図 4 1)



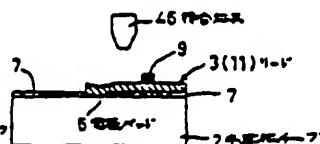
(図 4 2)



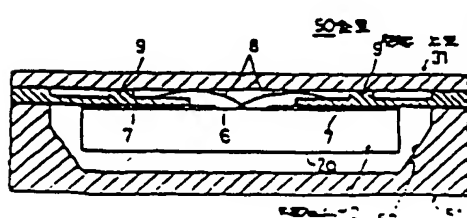
(図 3 9)



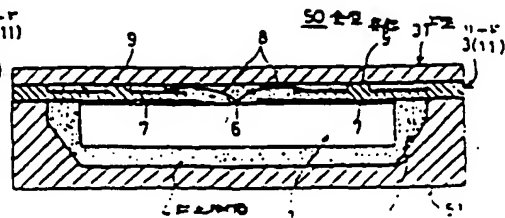
(図 4 0)



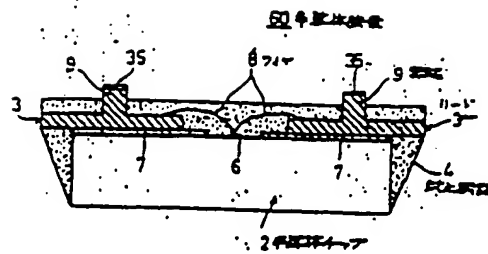
(図 4 3)



(図 4 4)



[図 4 5]



フロントページの続き

- (72)発明者 宇野 正
 神奈川県川崎市中原区上小田中1015番
 地 富士通株式会社内
- (72)発明者 藤沢 哲也
 神奈川県川崎市中原区上小田中1015番
 地 富士通株式会社内
- (72)発明者 松 政樹
 鹿児島県薩摩郡入来町副田5950番地
 株式会社九州富士通エレクトロニクス内

JAPANESE PATENT LAID-OPEN PUBLICATION NO. HEISEI 8-306853

[TITLE OF THE INVENTION]

SEMICONDUCTOR DEVICE, FABRICATION METHOD THEREOF,

5

AND FABRICATION METHOD FOR LEAD FRAME

[CLAIMS]

1. A semiconductor device including a semiconductor chip
provided with electrode pads formed to have a first pitch, leads
10 electrically connected to the electrode pads by a wiring,
respectively, and a resin encapsulate for encapsulating the
semiconductor chip, wherein:

protrusions are formed on the leads, respectively, in
such a fashion that they have a second pitch different from the
15 first pitch; and

the resin encapsulate is arranged to encapsulate the
wiring connected between the electrode pads and the leads while
allowing the protrusions to be exposed.

20

2. A semiconductor device including a semiconductor chip
provided with electrode pads formed to have a first pitch, leads
electrically connected to the electrode pads by a wiring,
respectively, and a resin encapsulate for encapsulating the
semiconductor chip, wherein:

25

protrusions are formed on the leads, respectively, in

such a fashion that they have a second pitch different from the first pitch; and

the resin encapsulate has a thickness from a surface of the semiconductor chip formed with the electrode pads not more than a height from the semiconductor chip surface to each protrusion, but not less than the height from the semiconductor chip surface to the wiring.

3. The semiconductor device according to claim 1 or 2, wherein the semiconductor chip and the leads are bonded together by an adhesive comprised of a polyimide film.

4. The semiconductor device according to any one of claims 1 to 3, wherein each of the protrusions is formed in such a fashion that it is integrally with an associated one of the leads.

5. The semiconductor device according to any one of claims 1 to 4, wherein the wiring comprises wires.

6. The semiconductor device according to any one of claims 1 to 5, wherein each of the protrusions is formed with a bump.

7. A method for fabricating a semiconductor device

comprising the steps of:

forming leads each provided with a protrusion at a region where an outer connecting terminal is to be formed;

5 arranging a polyimide film on at least one of the leads and the semiconductor chip, pressing the leads and the semiconductor chip by a desired pressure while interposing the polyimide film between the leads and the semiconductor chip, and heating the polyimide film to a desired temperature to allow the polyimide film to serve as an adhesive, thereby bonding the
10 leads and the semiconductor chip together;

connecting the electrode pads formed on the semiconductor chip to the leads by a wiring, respectively, thereby electrically connecting the electrode pads and the leads together; and

15 forming a resin encapsulate adapted to partially or completely encapsulating the wiring and the semiconductor chip while allowing each of the protrusions to be exposed at a tip surface thereof.

20 8. The method according to claim 7, wherein a thermoplastic adhesive is applied to both surfaces of the polyimide film when the leads and the semiconductor chip are bonded together by the polyimide film at the bonding step.

25 9. The method according to claim 7 or 8, wherein the

electrode pads and the leads are electrically connected together using a direct lead bonding process at the connecting step.

10. A lead frame provided with a plurality of leads each
5 having an inner lead portion and an outer lead portion, wherein
the inner lead portion have a lead pitch less than a lead
pitch of the outer lead portions, and each of the outer lead
portion has a protrusion integrally formed therewith.

10 11. The lead frame according to claim 10, wherein the
lead pitch (P_{out}) of the outer lead portions is substantially
equal to the thickness (W) of each lead at a region where the
protrusion is formed, and the lead pitch (P_{in}) of the inner lead
portions corresponds to about half the lead pitch (P_{out}) of the
15 outer lead portions ($P_{in} = P_{out}/2$).

12. A method for fabricating a lead frame according to
claim 10 or 11, comprising:

20 a primary etching step for conducting a half-etching
process for a blank while using a mask arranged on the blank at
the protrusion forming region; and

a secondary etching step for conducting a half-etching
process for the blank while using a mask arranged on the blank
at the lead forming region.

25

13. A method for fabricating a lead frame according to claim 10 or 11, comprising the steps of:

5 preparing a first blank and a second blank respectively having thicknesses selected in such a fashion that they have a total thickness corresponding to the height of the protrusions when they are overlapped with each other;

forming a lead pattern having a planar shape corresponding to the shape of the leads on the first blank;

10 forming a protrusion pattern on the second blank in such a fashion that the protrusion pattern is arranged at the protrusion forming region;

15 overlapping the first blank formed with the lead pattern and the second blank formed with the protrusion pattern together, and bonding the first and second blanks to each other in such a fashion that the lead pattern and the protrusion pattern are overlapped with each other at the protrusion forming region; and

removing unnecessary portions of the first and second blanks.

20

14. A method for fabricating a lead frame according to claim 10 or 11 comprising the steps of:

forming a lead pattern having a planar shape corresponding to a shape of the leads on a blank; and

25 forming the protrusions at a desired region on the lead

pattern after completion of the lead pattern forming step.

15. The method according to claim 14, wherein the
protrusion forming step is achieved by overlapping one or more
5 bumps on the lead pattern at a desired region to form the
protrusion.

16. The method according to claim 14, wherein the
protrusion forming step is achieved by arranging a conductive
10 member on the lead pattern at a desired region to form the
protrusion.

17. The method according to claim 14, wherein the
protrusion forming step is achieved by subjecting a desired
15 portion of the lead pattern to a plastic shaping process to form
the protrusion.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

20 The present invention relates to a semiconductor device,
a method for fabricating the semiconductor device, and a method
for fabricating a lead frame used in the semiconductor device.
In particular, the present invention relates to a semiconductor
device having a structure encapsulating a semiconductor chip and
25 leads by resin, a method for fabricating the semiconductor

device, and a method for fabricating a lead frame used in the semiconductor device.

5 The recent trend of electronic appliances to be downsized has resulted in efforts to achieve an increased density and increased mounting efficiency of semiconductor devices. It is also expected to obtain an improvement in the reliability of electronic appliances. In addition, there is demand for an improvement in the reliability of semiconductor devices. Furthermore, it is expected for semiconductor devices to achieve
10 a reduction in costs.

Accordingly, developments of semiconductor devices capable of satisfying the above mentioned demands are strongly required.

15 [DESCRIPTION OF THE PRIOR ART]

Recently, a flip chip type mounting structure has been proposed as a scheme capable of achieving a high-density mounting. Such a flip chip type mounting structure is widely used in multi chip modules (MCMs). In accordance with the flip
20 chip mounting scheme applied to MCMs, no resin encapsulate is formed. Instead, bumps are formed on electrode pads of a semiconductor chip (bare chip), respectively. In this case, mounting of the bare chip is achieved by bonding the bare chip to electrode portions formed on a circuit board (mother board)
25 in a face down bonding fashion.

In accordance with the use of the flip chip type mounting structure, it is possible to mount semiconductor devices on a mother board at a high density. An improvement in electrical characteristics is also achieved because the semiconductor devices are electrically connected to the mother board by means of bumps directly formed on the bare chips of the semiconductor devices.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

However, the bare chips not encapsulated by resin involve problems in that they exhibit a degradation in heat resistance, mechanical strength, and temperature resistance. Furthermore, since bumps are directly formed on electrode pads formed on each bare chip, the layout of the electrode pads formed on the bare chip is rendered to be the layout of outer connecting terminals (bumps) as it is.

Generally, semiconductor chips have different layouts of electrode pads thereof in accordance with the manufacturers thereof. Accordingly, even for semiconductor devices having the same function, the user should design a wiring pattern of the mother board to match the kind of those semiconductor devices (manufacturer). In the conventional mounting structure using bare chips, there are problems of a degradation in the matching ability of semiconductor devices to the mother board and an increased burden to the user because no standardization for

outer electrode terminals of semiconductor devices is made.

In order to solve the above mentioned problems, the standardization may probably be made by processing the surface of a chip and forming a wiring on the processed chip surface.

5 However, this scheme requires a number of processes with a high accuracy to form a desired wiring. Furthermore, there are problems of an increase in costs and a degradation in the efficiency of production.

10 The present invention has been made in view of the above mentioned problems, and an object of the invention is to provide a semiconductor device, a method for fabricating the semiconductor device, and a method for fabricating a lead frame used in the semiconductor device, which are capable of achieving a standardization of outer electrode terminals to keep the
15 reliability of a semiconductor chip used, a reduction in costs, and an improvement in the efficiency of production.

[MEANS FOR SOLVING THE SUBJECT MATTERS]

20 The above subject matters can be solved by the following means.

The invention of claim 1 is characterized by a semiconductor device including a semiconductor chip provided with electrode pads formed to have a first pitch, leads electrically connected to the electrode pads by a wiring,
25 respectively, and a resin encapsulate for encapsulating the

semiconductor chip, wherein: protrusions are formed on the leads, respectively, in such a fashion that they have a second pitch different from the first pitch; and the resin encapsulate is arranged to encapsulate the wiring connected between the electrode pads and the leads while allowing the protrusions to be exposed.

The invention of claim 2 is characterized by a semiconductor device including a semiconductor chip provided with electrode pads formed to have a first pitch, leads electrically connected to the electrode pads by a wiring, respectively, and a resin encapsulate for encapsulating the semiconductor chip, wherein: protrusions are formed on the leads, respectively, in such a fashion that they have a second pitch different from the first pitch; and the resin encapsulate has a thickness from a surface of the semiconductor chip formed with the electrode pads not more than a height from the semiconductor chip surface to each protrusion, but not less than the height from the semiconductor chip surface to the wiring.

The invention of claim 3 is characterized by the semiconductor device according to claim 1 or 2, wherein the semiconductor chip and the leads are bonded together by an adhesive comprised of a polyimide film.

The invention of claim 4 is characterized by the semiconductor device according to any one of claims 1 to 3, wherein each of the protrusions is formed in such a fashion that

it is integrally with an associated one of the leads. The invention of claim 5 is characterized by the semiconductor device according to any one of claims 1 to 4, wherein the wiring comprises wires.

5 The invention of claim 6 is characterized by the semiconductor device according to any one of claims 1 to 5, wherein each of the protrusions is formed with a bump. The invention of claim 4 is characterized by a method for fabricating a semiconductor device comprising the steps of:

10 forming leads each provided with a protrusion at a region where an outer connecting terminal is to be formed; arranging a polyimide film on at least one of the leads and the semiconductor chip, pressing the leads and the semiconductor chip by a desired pressure while interposing the polyimide film

15 between the leads and the semiconductor chip, and heating the polyimide film to a desired temperature to allow the polyimide film to serve as an adhesive, thereby bonding the leads and the semiconductor chip together; connecting the electrode pads formed on the semiconductor chip to the leads by a wiring,

20 respectively, thereby electrically connecting the electrode pads and the leads together; and forming a resin encapsulate adapted to partially or completely encapsulating the wiring and the semiconductor chip while allowing each of the protrusions to be exposed at a tip surface thereof.

25 The invention of claim 8 is characterized by the method

according to claim 7, wherein a thermoplastic adhesive is applied to both surfaces of the polyimide film when the leads and the semiconductor chip are bonded together by the polyimide film at the bonding step.

5 The invention of claim 9 is characterized by the method according to claim 7 or 8, wherein the electrode pads and the leads are electrically connected together using a direct lead bonding process at the connecting step.

10 The invention of claim 10 is characterized by a lead frame provided with a plurality of leads each having an inner lead portion and an outer lead portion, wherein the inner lead portions have a lead pitch less than a lead pitch of the outer lead portions, and each of the outer lead portions has a protrusion integrally formed therewith.

15 The invention of claim 11 is characterized by the lead frame according to claim 10, wherein the lead pitch (P_{out}) of the outer lead portions is substantially equal to the thickness (W) of each lead at a region where the protrusion is formed, and the lead pitch (P_{in}) of the inner lead portions corresponds to about half the lead pitch (P_{out}) of the outer lead portions ($P_{in} = P_{out}/2$). The invention of claim 12 is characterized by a method for fabricating a lead frame according to claim 10 or 11, comprising: a primary etching step for conducting a half-etching process for a blank while using a mask arranged on the blank at
20
25 the protrusion forming region; and a secondary etching step for

conducting a half-etching process for the blank while using a mask arranged on the blank at the lead forming region.

The invention of claim 13 is characterized by a method for fabricating a lead frame according to claim 10 or 11, comprising the steps of: preparing a first blank and a second blank respectively having thicknesses selected in such a fashion that they have a total thickness corresponding to the height of the protrusions when they are overlapped with each other; forming a lead pattern having a planar shape corresponding to the shape of the leads on the first blank; forming a protrusion pattern on the second blank in such a fashion that the protrusion pattern is arranged at the protrusion forming region; overlapping the first blank formed with the lead pattern and the second blank formed with the protrusion pattern together, and bonding the first and second blanks to each other in such a fashion that the lead pattern and the protrusion pattern are overlapped with each other at the protrusion forming region; and removing unnecessary portions of the first and second blanks.

The invention of claim 14 is characterized by a method for fabricating a lead frame according to claim 10 or 11 comprising the steps of: forming a lead pattern having a planar shape corresponding to a shape of the leads on a blank; and forming the protrusions at a desired region on the lead pattern after completion of the lead pattern forming step.

The invention of claim 15 is characterized by the method

according to claim 14, wherein the protrusion forming step is achieved by overlapping one or more bumps on the lead pattern at a desired region to form the protrusion.

5 The invention of claim 16 is characterized by the method according to claim 14, wherein the protrusion forming step is achieved by arranging a conductive member on the lead pattern at a desired region to form the protrusion.

10 The invention of claim 17 is characterized by the method according to claim 14, wherein the protrusion forming step is achieved by subjecting a desired portion of the lead pattern to a plastic shaping process to form the protrusion.

{FUNCTIONS}

Each of the above mentioned means serves as follows.

15 In accordance with the invention of claims 1 and 2, it is possible to achieve an improvement in heat resistance, mechanical strength, and temperature resistance. Since the electrode pads and leads are connected together using wires, it is possible to set the layout of the leads irrespective of the
20 layout of the electrode pads. An improvement in the matching ability of the semiconductor device to the circuit board. The resin encapsulate provides an improvement in reliability because it surely protects the connected wires. Since the outer
25 connecting terminals are exposed from the resin encapsulate, the electrical connection of the semiconductor device to the circuit

board can be surely provided.

In accordance with the invention of claim 3, the insulating and bonding processes for the semiconductor chip and leads can be simultaneously conducted because the polyimide
5 film, as an insulating member, interposed between the semiconductor chip and the leads serves as an adhesive. Accordingly, it is possible to simplify the structure of the semiconductor device while achieving an easy fabrication of the semiconductor device, as compared to the case in which the
10 insulating member and the adhesive are separately provided.

In accordance with the invention of claim 4, each protrusion is integrally formed with an associated one of the leads. Accordingly, it is possible to achieve a simplification in structure, as compared to the case in which the protrusion
15 and lead are formed using separate materials, respectively. In accordance with the invention of claim 5, a wire is used for the connection between the electrode pad and lead. Accordingly, it is possible to achieve an easy connection for the wire between the electrode pad and lead.

20 In accordance with the invention of claim 6, a bump is formed on each protrusion. Accordingly, it is possible to achieve an easy connection of the semiconductor device to the circuit board, as compared to the case in which the protrusion is directly mounted on the circuit board. In accordance with
25 the invention of claim 7, the leads and semiconductor chip are

bonded together by maintaining the polyimide film at a certain temperature and a certain pressure, thereby causing the polyimide film to serve as an adhesive. Accordingly, the insulating and bonding processes for the leads and semiconductor chip can be simultaneously conducted.

Since each electrode pad formed on the semiconductor chip is connected to an associated one of the leads by means of a wire in the bonding process, it is possible to vary the layout of the leads with respect to the layout of the electrode pads by selecting an appropriate connection method. The fabrication of the semiconductor device involves only four processes, that is, a lead forming process, a bonding process, a connecting process, and a resin encapsulating process. Since the fabrication of semiconductor device is achieved using a reduced number of processes, as mentioned above, an improvement in production efficiency is obtained.

In accordance with the invention of claim 8, an easy bonding process can be achieved because the bonding process can be conducted without a control for the temperature applied to the polyimide film within a desired range.

In accordance with the invention of claim 9, the connection between the electrode pads and the leads can be simply and surely achieved because the electrode pads and leads are electrically connected together in accordance with a direct lead bonding process. In accordance with the invention of claim

10 and 11, the lead pitch of the outer lead portions is less than the lead pitch of the inner lead portions. Accordingly, the inner leads can cope with a small pitch of the electrode pads on the semiconductor chip to which the inner lead portions are electrically connected. Furthermore, the mounting efficiency of the semiconductor device to the circuit board is improved because the lead pitch of the outer lead portions electrically connected to the circuit board is large. Since each protrusion is formed on an associated one of the outer lead portions, it can be used as an outer connecting terminal. Accordingly, it further improves the mounting efficiency.

In accordance with the invention of claim 12, it is possible to form leads each integrally formed with a protrusion by conducting a primary etching process for the blank in accordance with a half-etching method in such a fashion that the blank has a reduced thickness at its portion except for the region to be formed with the protrusions and then conducting a secondary etching process for the thickness-reduced portion of the blank to form the leads.

The pitch of the leads is determined by the thickness of the blank upon forming the leads. In other words, it is only possible to form leads having a pitch substantially equal to the thickness of the blank. Accordingly, a reduced lead pitch can be obtained when the blank has a reduced thickness.

Meanwhile, where leads provided with protrusions are

formed, the thickness of the blank is determined by the height of the protrusions. It is impossible to form leads having a small pitch by simply etching the blank having a thickness equal to the height of the protrusions. In accordance with the present invention, however, it is possible to form leads having a small pitch, even when the leads have a structure provided with protrusions, by conducting a primary etching process for the blank in accordance with a half-etching method in such a fashion that the blank has a reduced thickness at its portion except for the region to be formed with the protrusions, and then conducting a secondary etching process for the thickness-reduced portion of the blank to form the leads. As apparent from the above description, the pitch of the protrusions can be reduced to a pitch substantially equal to the thickness of the blank.

In accordance with the invention of claim 13, the first and second blanks have thicknesses respectively selected in such a fashion that they have a total thickness corresponding to the height of the protrusions when they are overlapped with each other. For this reason, each of the first and second blanks has a thickness less than the height of the protrusions. In the lead pattern forming step, a lead pattern having the same shape as the whole shape of the leads is formed on the thin first blank. Accordingly, it is possible to reduce the lead pitch of the lead pattern formed in accordance with the above mentioned

relation between the blank thickness and lead pitch.

In the protrusion pattern forming step, a protrusion pattern is formed on the second blank in such a fashion that it is arranged at the protrusion forming region. In the bonding step, the first and second blanks are bonded together in a state in which they are overlapped with each other. The lead pattern and protrusion pattern are overlapped with each other at the protrusion forming region. The blank thickness at the protrusion forming region corresponds to a desired height of the protrusions. At the removing step, unnecessary portions of the blanks are removed, thereby forming leads.

Accordingly, a reduction in lead pitch is achieved because the thickness of the blank used in the formation of the lead pattern is small. On the other hand, since the lead pattern and protrusion pattern are overlapped with each other at the protrusion forming region, it is possible to form protrusions having a desired thickness. In accordance with the invention of claim 14, the lead pattern forming step and the protrusion forming step are conducted in a separate fashion. Accordingly, the thickness of a blank used can be selected irrespective of the height of the protrusion. Therefore, it is possible to reduce the pitch of a lead pattern when a thin blank is used. In the protrusion forming process, it is possible to form protrusions having an optional height. An improvement in the freedom of design is also achieved.

In accordance with the invention of claims 15 to 17, it is possible to easily conduct the protrusion forming process.

(EMBODIMENTS)

5 Now, preferred embodiments of the present invention will be described in conjunction with the annexed drawings. Figs. 1 and 2 illustrate a semiconductor device 1 according to an embodiment of the present invention. Fig. 1 is a cross-sectional view of the semiconductor device 1 whereas Fig. 2 is a
10 bottom view of the semiconductor device 1.

As shown in the figures, the semiconductor device 1 mainly includes a semiconductor chip 2, a plurality of leads 3, a resin encapsulate 4, and bumps 5. The semiconductor chip 2 is provided at the central portion of its lower surface with a
15 plurality of electrode pads 6 arranged in a line. Each of the leads 3 has an inner lead portion 3a and an outer lead portion 3b. The leads 3 are bonded to the lower surface of the semiconductor chip 2 by means of a polyimide film 7.

The polyimide film 7 serves as an insulating member for
20 electrically insulating the leads 3 from a circuit surface 2A formed on the lower surface of the semiconductor chip 2. The polyimide film 7 also serves as an adhesive for bonding the leads 3 to the semiconductor chip 2 as described hereinafter. Since the polyimide film 7 functions as both the insulating
25 member and the adhesive, it is possible to simplify the

structure of the semiconductor device 1 which achieving an easy fabrication of the semiconductor device 1, as compared to the case in which the insulating member and the adhesive are separately provided.

5 Wires 8 are arranged between the inner leads 3a and the electrode pads 6 of the semiconductor chip 2, respectively. The semiconductor chip 2 is electrically connected with the leads 3 by the wires 8, respectively. A protrusion 9 is formed at a desired position of the outer lead portion 3b included in each
10 lead 3 in such a fashion that it is integral with the outer lead portion 3b. In most cases, the leads 3 having the above mentioned structure are arranged on the lower surface of the semiconductor chip 2. This arrangement is called a "lead on chip (LOC)" structure. By virtue of this arrangement, the
15 semiconductor device 1 can be miniaturized.

 The resin encapsulate 4 is made of, for example, epoxy resin. This resin encapsulate 4 is formed in accordance with a molding process, as described hereinafter. The resin encapsulate 4 is disposed at the lower surface and side surfaces
20 of the semiconductor chip 2 to have desired thicknesses, respectively. In the illustrated embodiment, the resin encapsulate 4 does not exist at the upper surface of the semiconductor chip 2, that is, a heat dissipation surface.

 The resin encapsulate 4 is configured in such a fashion
25 that its thickness (indicated by the arrows H) from the surface

of the semiconductor chip 2 formed with the electrode pads 6,
that is, the lower surface of the resin encapsulate 4, is not
more than the height (indicated by the arrows W) from the lower
surface of the resin encapsulate 4 to the tip of the protrusion
5 9, but not less than the height (indicated by the arrows h) from
the lower surface of the resin encapsulate 4 to the apex of a
roof of the wire 8 ($h \leq H \leq W$). By virtue of this
configuration, at least the tip 9a of each protrusion 9 is
surely exposed from the resin encapsulate 4. In this case, the
10 wires 8 and the leads 3, except for the exposed portions of the
protrusions 9, are encapsulated by the resin encapsulate 4.

Since the semiconductor device 1 of this embodiment is
configured in such a fashion that a desired portion of the
semiconductor chip (that is, the portion except for the upper
15 surface) is encapsulated by the resin encapsulate, it is
possible to achieve an improvement in heat resistance,
mechanical strength, and temperature resistance. Also, an
improvement in the reliability of the semiconductor device 1 is
achieved because the resin encapsulate 4 surely protects the
20 wires 8. In addition, it is possible to surely obtain an
electrical connection to a circuit board 10 because at least the
tip 9a of each protrusion 9 serving as an outer connection
terminal is surely exposed from the resin encapsulate 4.

Now, a description will be made in conjunction with a
25 plurality of leads 3 arranged on the lower surface of the

semiconductor chip 2 while referring to Fig. 2. For the convenience of description, the resin encapsulate 4 arranged on the lower surface of the semiconductor chip 2 is removed from Fig. 2. As shown in Fig. 2, the leads 3 are configured in such a fashion that the lead pitch of adjacent inner lead portions 3a (indicated by the arrows P_{in}) is less than the lead pitch of adjacent outer lead portions 3b (indicated by the arrows P_{out}). In detail, the lead pitch P_{in} of the inner lead portions 3a corresponds to about half the lead pitch P_{out} of the outer lead portions 3b ($P_{in} = P_{out}/2$). The lead pitch P_{out} of the outer lead portions 3b is substantially equal to the thickness W of each lead 3 at a region where the protrusion 9 is formed.

Since the lead pitch P_{in} of the inner lead portions 3a is small as compared to the lead pitch P_{out} of the outer lead portions 3b, the inner lead portions 3a can cope with a possible small pitch of the electrode pads 6 of the semiconductor chip 2 to which the inner lead portions 3a are electrically connected. On the other hand, since the lead pitch P_{out} of the outer lead portions 3b (protrusions 9) electrically connected to the circuit board 10 is large, it is possible to achieve an improvement in the mounting efficiency of the semiconductor device 1 on the circuit board 10.

Meanwhile, the semiconductor device 1 according to the illustrated embodiment has a configuration in which the electrical connection of the electrode pads 6 arranged on the

semiconductor chip 2 to the circuit board 10 is not achieved by the bumps 5 directly formed on the electrode pads 6, but achieved by the wires 8 arranged between the electrode pads 6 and the inner leads 3a. Accordingly, an electrical signal from each electrode pad 6 can be transferred to the outside of the semiconductor device 1 via the associated lead 3 and wire 8. This makes it possible to set the layout of the leads 3 irrespective of the layout of the electrode pads 6.

In the case of Fig. 2, electrical signals from the electrode pads 6 centrally formed on the semiconductor chip 2 are outwardly transferred via the wires 8 and leads 3. Also, the protrusions 9, which serve as outer connecting terminals, are arranged at the peripheral portion of the semiconductor chip 2. Where the electrode pads 6 are formed at the peripheral portion of the semiconductor chip 2, as shown in Fig. 3, it is possible to arrange the protrusions 9 serving as outer connecting terminals at a region inside the electrode pads 6 because electrical signals from the electrode pads 6 can be outwardly transferred via the wires 8 and leads 3. Furthermore, the protrusions 9 serving as outer connecting terminals may be arranged at a region outside the semiconductor chip 2, as shown in Fig. 4.

Since electrical signals from the electrode pads 6 can be outwardly transferred using the leads and wires 8, an improvement in the matching ability of the semiconductor device

1 to the circuit board 10 is achieved. It is also possible to easily set the layout of the protrusions 9, which serve as outer connecting terminals, to be the layout of standard outer connecting terminals. Accordingly, a reduction in the burden to the user of the semiconductor device 1 is achieved.

Now, a method for fabricating the semiconductor device 1 having the above mentioned configuration will be described. The semiconductor device 1 according to the present invention is fabricated using four basic processes, that is, a lead forming process, a bonding process, a connecting process, and a resin encapsulating process, along with two additional processes, that is, a bump forming process and a testing process. The fabrication method will be described in conjunction with the above mentioned processes, respectively.

Figs. 5 to 9 illustrate a first embodiment associated with the lead forming process. This lead forming process is a process for forming a lead frame 11 which is a blank for forming the leads 3. For the formation of the lead frame 11, a flat blank 12 is first prepared, as shown in Fig. 5. The blank 12 may be a lead frame blank made of, for example, 42 ALLOY and having a thickness corresponding to the height W of the protrusions 9.

Thereafter, a mask 13 (indicated by small dots) is arranged on the blank 12, as shown in Fig. 6. The mask 13 covers a region (denoted by the reference numeral 14) to be

formed with the protrusions 9 and a region (denoted by the reference numeral 15) to be formed with cradles.

After the arrangement of the mask 13, a half-etching process (primary etching process) is conducted for the blank 12. In the illustrated embodiment, the half-etching process for the blank 12 is carried out in accordance with a wet etching method (of course, other etching methods, for example, a dry etching method, may be used). The etching time is set so that the thickness of an etched portion (the white portion in Fig. 6) corresponds to about half the thickness W of the blank 12 ($W/2$).

Fig. 7 shows a state in which the mask 13 is removed after completion of the half-etching process. In this state, the blank 12 maintains the thickness W only at its portion corresponding to the region 14 to be formed with protrusions 9 and its portion corresponding to the region 15 to be formed with cradles 15. The remaining portion of the blank 12 (denoted by the reference numeral 16) has a thickness corresponding to $W/2$ by virtue of the half-etching.

After completion of the half-etching process as mentioned above, the blank 12 is subjected to another etching process under the condition in which a mask 17 (indicated by small dots) is arranged to cover a region (denoted by the reference numeral 18) to be formed with leads 3 along with the region 15 to be formed with cradles.

In accordance with the etching process (secondary etching

process), the portions of the blank 12 not covered with the mask 17 are removed. Thus, a lead frame 11 provided with a plurality of leads 3 having a structure as shown in Fig. 9 is obtained. If necessary, silver may be plated on a desired portion of the lead frame 11 (corresponding to the region formed with the leads 3).

The lead frame 11 formed as mentioned above has a structure in which each lead 3 has an inner lead portion 3a, an outer lead portion 3b, and a protrusion 9 integrally formed together. In this structure, the protrusion 9 has a thickness corresponding to W whereas the inner lead portion 3a and the outer lead portion 3b except for its part corresponding to the region formed with the protrusion 9 have a thickness corresponding to $W/2$.

The relation between the lead pitch and the thickness of the blank 12 will now be described. The pitch of the leads 3 is determined by the thickness of the blank 12 upon forming the leads 3. In other words, it is only possible to form leads having a pitch substantially equal to the thickness of the blank 12. Accordingly, a reduced lead pitch can be obtained when the blank 12 has a reduced thickness.

Meanwhile, where leads 3 provided with protrusions 9 are formed, the thickness of the blank 12 is determined by the height of the protrusions 9. It is impossible to form leads having a small pitch by simply etching the blank 12 having a

thickness equal to the height of the protrusions 9. In accordance with the present invention, however, it is possible to form leads 3 having a small pitch (the lead pitch P_{in} in Fig. 11a), even when the leads 3 have a structure provided with protrusions 9, by conducting a primary etching process for the blank 12 in accordance with a half-etching method in such a fashion that the blank 12 has a reduced thickness (a thickness corresponding to about $W/2$) at its portion except for the region 14 to be formed with the protrusions 9, and then conducting a secondary etching process for the thickness-reduced portion of the blank 12 to form the leads 3. For the same reason, the pitch P_{out} of the protrusions 9 (outer lead portions 3b) can be reduced to a pitch substantially equal to the thickness W of the blank 12.

For instance, where a typical lead frame blank having a thickness of 0.10 mm is used, it is possible to obtain a minimum pitch P_{out} of the outer lead portions 3b and protrusions 9 corresponding to 0.10 mm ($P_{out} = 0.10$ mm) and a minimum pitch P_{in} of the inner lead portions 3a corresponding to 0.05 mm ($P_{in} = 0.05$ mm). In the case of a typical lead frame blank having a thickness of 0.15 mm, it is possible to obtain a minimum pitch P_{out} of the outer lead portions 3b and protrusions 9 corresponding to 0.15 mm ($P_{out} = 0.15$ mm) and a minimum pitch P_{in} of the inner lead portions 3a corresponding to 0.075 mm ($P_{in} = 0.075$ mm). Where a typical lead frame blank having a thickness

of 0.20 mm is used, it is possible to obtain a minimum pitch
P_{out} of the outer lead portions 3b and protrusions 9
corresponding to 0.20 mm (P_{out} = 0.20 mm) and a minimum pitch
P_{in} of the inner lead portions 3a corresponding to 0.10 mm (P_{in}
= 0.10 mm).

On the other hand, the position of each protrusion 9 is
determined by the position of the mask 13 shown in Fig. 6. That
is, the position of each protrusion 9 can be optionally
determined by appropriately varying the position of the mask 13.
For this reason, the positions of the protrusions 9 serving as
outer connecting terminals can be set within a certain degree of
freedom in accordance with a lead forming method included in the
illustrated embodiment. Therefore, it is possible to easily
form the protrusions 9 at predetermined positions for standard
outer connecting terminals, respectively.

Next, a second embodiment associated with the lead
forming process will be described. Figs. 10 to 15 illustrate
the second embodiment associated with the lead forming process.
For the formation of a lead frame 20 in this embodiment, a first
blank 21 shown in Fig. 10 and a second blank 22 shown in Fig. 11
are first prepared.

The thicknesses of the blanks 21 and 22 are determined so
that the total thickness obtained in an overlapping state of the
blanks 21 and 22 corresponds to the height W of each protrusion
9. In this embodiment, the thicknesses of the blanks 21 and 22

are set to be $W/2$, respectively. The blanks 21 and 22 have different thicknesses, respectively, in so far as the total thickness obtained in an overlapping state of the blanks 21 and 22 corresponds to the height W of each protrusion 9.

5 The first blank 21 shown in Fig. 10 is made of a lead frame material such as 42 ALLOY. This first blank 21 has a structure formed with a lead pattern 23 having the same pattern shape as that of the leads 3 when viewed in a plan view. This structure of the first blank 21 is obtained by previously
10 conducting an etching process or a press-punching process for the first blank 21. However, the lead pattern 23 of the first blank 21 has no protrusion in accordance with this lead forming process, as different from the lead forming process in which the protrusions 9 are formed. Accordingly, the lead pattern 23 has
15 a thickness of $W/2$ at the entire portion thereof. In Fig. 10, the reference numeral 25 denotes a position determining slot which is formed during the formation of the lead pattern 23.

On the other hand, the second blank 22 shown in Fig. 11 is made of a lead frame material such as 42 ALLOY. This second
20 blank 22 has a structure formed with a protrusion pattern 24. This structure of the second blank 22 is obtained by conducting an etching process or a press-punching process for the second blank 22. The protrusion pattern 24 has a straight line pattern shape. In the protrusion pattern 24, regions to be formed with
25 a certain number of protrusions 9 are arranged in parallel while

being laterally spaced from one another. In Fig. 11, the reference numeral 26 denotes a position determining slot which is formed during the formation of the protrusion pattern 24.

5 The first and second blanks 21 and 22 having the above mentioned structures are then overlapped with each other by vertically aligning the position determining slots 25 and 26 with each other. In the overlapping state, the first and second blanks 21 and 22 are bonded together. The bonding of the first and second blanks 21 and 22 may be achieved using a conductive
10 adhesive or a welding process. Fig. 12 shows the bonded state of the first and second blanks 21 and 22.

In the bonded state of the first and second blanks 21 and 22, the protrusion pattern 24 of the second blank 22 overlaps with protrusion forming regions on the lead pattern 23 of the
15 first blank 22.

Fig. 13 is a plan view illustrating, in an enlarged scale, the overlapping region between the lead pattern 23 and protrusion pattern 24. Also, Fig. 14 is a cross-sectional view illustrating, in an enlarged scale, the overlapping region
20 between the lead pattern 23 and protrusion pattern 24. As shown in Figs. 13 and 14, the lead pattern 23 having a thickness of $W/2$ corresponding to half the total thickness of the blanks overlaps, in a cross fashion, with the protrusion pattern 24 having a thickness of $W/2$ corresponding to half the total
25 thickness of the blanks. Accordingly, the regions to be formed

with the protrusions 9 have a thickness W corresponding to the total blank thickness. Accordingly, this thickness W is rendered to be the height of each protrusion 9 (Fig. 14).

After completion of the bonding process for the first and second blanks 21 and 22, the resulting structure is partially removed at its portion except for the portion where the lead pattern 23 and protrusion pattern 24 cross, using a pressing process or the like, thereby forming a lead frame 20 having leads 3 integrally formed with protrusions 9, as shown in Fig. 15.

Similarly to the lead frame 11 fabricated in accordance with the first embodiment, each lead 3 of the lead frame 20 fabricated in accordance with this embodiment has an inner lead portion 3a, an outer lead portion 3b, and a protrusion 9 integrally formed together. In accordance with this embodiment, the lead pattern 23 can be formed to have a small pitch because the first blank 21 has a thickness corresponding to $W/2$. This will be apparent by referring to the above mentioned relation between the lead pitch and the blank thickness.

Meanwhile, the position of each protrusion 9 is determined by the position of the protrusion pattern 24 formed at the second blank 22. That is, the position of each protrusion 9 can be optionally determined by appropriately varying the position of the protrusion pattern 24. For this reason, the positions of the protrusions 9 serving as outer

connecting terminals can be set within a certain degree of freedom in accordance with the lead forming method included in this embodiment. Therefore, it is possible to easily form the protrusions 9 at predetermined positions for standard outer
5 connecting terminals, respectively.

After the lead frame 11 or 20 (in the following description, only the lead frame 11 will be referred) is fabricated in accordance with the above mentioned lead forming process, a bonding process for bonding the lead frame 11 and
10 semiconductor chip 2 together is conducted. Now, the bonding process will be described in conjunction with Figs. 16 to 20.

In this bonding process, gold is plated on the inner lead portions 3a of the lead frame 11 at regions where wires 8 are to be bonded in a subsequent connecting process, thereby forming
15 bonding areas 27, as shown in Fig. 16.

Also, a polyimide film 7 is arranged on the surface of the semiconductor chip 2 formed with the electrode pads 6 in such a fashion that only the electrode pads 6 are exposed. The polyimide film 7 is made of a polyimide material having a glass
20 transition point of 100 to 300 °C. In the state of Fig. 17, the polyimide film 7 is simply in a state laid on the semiconductor chip 2. In order to prevent the polyimide film 7 from being separated from the semiconductor chip 2, accordingly, the semiconductor chip 2 is arranged in such a fashion that its
25 surface formed with the electrode pads 6 is upwardly positioned.

In other words, the semiconductor chip 2 is in a bare chip state not encapsulated by resin. The polyimide film 7 may be previously formed on the semiconductor chip 2 during a wafer process for forming the semiconductor chip 2.

5 Subsequently, the lead frame 11 shown in Fig. 18 is laid on the semiconductor chip 2 on which the polyimide film 7 is laid. The leads 3 (inner lead portions 3a) formed on the lead frame 11 face, in a high accuracy, the electrode pads 6 formed on the semiconductor chip 2. Thus, the position of the lead
10 frame 11 is determined.

 After the lead frame 11 is laid in position on the semiconductor chip 2, as mentioned above, a die 28 is lowered to press the lead frame 11 against the semiconductor chip 2, as shown in Fig. 19. The die 28 is equipped with a heating unit.
15 Heat generated from the die 28 is applied to the polyimide film 7 via the lead frame 11.

 The polyimide film 7 typically serves as an insulating member for electrically insulating the semiconductor chip 2 and lead frame 11 from each other, as in conventional cases.
20 However, the inventors found the fact that the polyimide film 7 can serve as an adhesive when it is under a certain condition. In detail, where the polyimide film 7 is made of a polyimide material having a glass transition point of 100 to 300°C, it can serve as an adhesive when it is heated to a temperature higher
25 than the glass transition point by 100 to 200°C while being

applied with a pressure of 1 to 10 Kgf/cm².

In view of the above mentioned fact, the polyimide film is heated to a temperature higher than the glass transition point by 100 to 200°C by the heater equipped in the die 18 upon bonding the semiconductor chip 2 and lead frame 11 to each other while being applied with a pressure of 1 to 10 Kgf/cm² by the die 28 in accordance with the present invention. Accordingly, the polyimide film 7 can serve as an adhesive. Thus, it is possible to bond the semiconductor chip 2 and lead frame 11 to each other by means of the polyimide film 7.

In accordance with the above mentioned configuration, it is unnecessary to use a separate adhesive for bonding the semiconductor chip 2 and lead frame 11 to each other, as compared to conventional cases using a polyimide film.

Accordingly, it is possible to achieve a reduction in costs and a reduction in the number of processing steps used in the fabrication of the semiconductor device 1. Fig. 20 illustrates a state in which the semiconductor chip 2 and lead frame 11 are bonded to each other by the polyimide film 7.

Although the bonding between the semiconductor chip 2 and lead frame 11 is achieved in accordance with the bonding method using the polyimide film 7, it may be achieved using other methods. For example, the bonding between the semiconductor chip 2 and lead frame 11 may be achieved using a method in which an adhesive is applied to both surfaces of the polyimide film

interposed between the semiconductor chip 2 and lead frame 11,
as in conventional cases. Where this method is used, it is
unnecessary to carry out a temperature control and a pressure
control for the polyimide film. Accordingly, the bonding
5 process is simply achieved.

After the semiconductor chip 2 and lead frame 11 are
bonded to each other in accordance with the bonding process, a
connecting process is carried out to electrically connect the
leads 3 formed on the lead frame 11 to the electrode pads 6
10 formed on the semiconductor chip 2 by means of wires 8,
respectively.

Fig. 21 illustrates a process for mounting each wire (for
example, a gold wire) 8 between the bonding pad 27 (Fig. 16)
formed on an associated one of the leads 3 and an associated one
15 of the electrode pads 6 using capillaries 29. As well known, it
is desirable for each wire 8 to be short in terms of an
improvement in the electrical characteristics of the
semiconductor device 1. On the other hand, in terms of a
miniaturization and thinness of the semiconductor device 1, it
20 is desirable for each wire 8 to have a low roof.

For this reason, it is preferred that a low-roof bonding
process be used in mounting the wires 8. For such a low-roof
bonding process, a variety of methods are known. For example, a
method may be used in which each wire 8 is bonded at one end
25 thereof to an associated one of the electrode pad 6 formed on

the semiconductor chip 2 and then bonded at the other end thereof to an associated one of the leads 3 by upwardly moving the capillary 29 associated with the other end of the wire 8, and then horizontally moving the capillary 29. A method called
5 a "reverse stamping method" may also be used.

Since the leads 3 and electrode pads 6 are electrically connected together in accordance with the wire bonding process, it is possible to achieve the connecting process in an easy fashion and in a high accuracy. The shaping and connection of
10 each wire 8 between the associated lead 3 and electrode pad 6 can be carried out within a certain degree of freedom. Fig. 22 illustrates the state of each wire 8 mounted between the associated lead 3 and electrode pad 6 after the connecting process is conducted.

15 After the leads and electrode pads 6 are electrically connected together in accordance with the connecting process, a resin encapsulating process is carried out to form a resin encapsulate 4 at a desired portion of the semiconductor chip 2. This resin encapsulating process will now be described in
20 conjunction with Figs. 23 to 25.

Fig. 23 illustrates a state in which the semiconductor chip 2 mounted with the lead frame 11 and wires 8 is loaded in a mold 30. The mold 30 includes an upper mold 31 and a lower mold 32. The lead frame 11 is clamped between the upper and lower
25 molds 31 and 32. Thus, the semiconductor chip 2 is mounted in

the mold 30.

The upper mold 31 is configured to come into contact with the protrusions 9 and the cradles 33 of the lead frame 11 in a loaded state of the semiconductor chip 2. Since the protrusions 9 have the same height as the cradles 33, the upper mold 31 maintains a flat plate shape. The lower mold 32 has a cavity defined with a space at each side of the semiconductor chip 2 loaded in the lower mold 32. The lower surface of the semiconductor chip 2 is in contact with the lower surface of the cavity 33.

Since the upper mold 31 used in the resin encapsulating process has a flat plate shape, and the cavity 33 defined in the lower mold 32 has a simple structure, it is possible to reduce the costs taken in the manufacture of the mold 30. Accordingly, a reduction in the costs taken in the fabrication of the semiconductor device 1 can be achieved.

Fig. 24 illustrates a state in which a resin encapsulate 4 (indicated by a number of small dots) is molded in the mold 30. As the resin encapsulate 4 is molded in the mold 30, the peripheral surface of the semiconductor chip 2 except for its upper surface (viewed as a lower surface in Figs. 23 to 25) contacting the lower mold 32 is encapsulated by the resin encapsulate 4. The leads 3 and wires 8 mounted to the lower surface of the semiconductor chip 2 are also encapsulated by the resin encapsulate 4. Also, each protrusion 9 except for its

portion contacting the upper mold 31 is encapsulated by the resin encapsulate 4.

Fig. 25 illustrates a state in which the semiconductor chip 2 encapsulated by the resin encapsulate 4 is unlocated from the mold 30. As shown in this figure, the upper surface 2a of the semiconductor chip 2 is exposed from the resin encapsulate 4. Accordingly, it is possible to effectively dissipate heat generated from the semiconductor chip 2 at the exposed upper surface 2a. The end 9a of each protrusion 9 is also outwardly exposed from the resin encapsulate 4. Accordingly, the end 9a can be used as an outer connecting terminal.

A semiconductor device is obtained by cutting the lead frame 11 from the structure shown in Fig. 25 along portions indicated by a dotted line in Fig. 25. Although this semiconductor device can achieve the same effect as the semiconductor device shown in Fig. 1, it exhibits a degradation in the mounting efficiency thereof to the circuit board 10 because the end 9a of each protrusion 9 serving as an outer connecting terminal is substantially flush with the surface of the resin encapsulate 4, as shown in Fig. 25. To this end, in accordance with the illustrated embodiment, a bump forming process for forming a bump 5 on the end 9a is conducted after completion of the resin encapsulating process. Hereinafter, the bump forming process will be described in conjunction with Figs. 26 to 30.

In the bump forming process, the semiconductor chip 1 encapsulated by the resin encapsulate 4 is subjected to a honing process at the entire surface thereof, as shown in Fig. 26. By this honing process, a resin layer existing on the end 9a of each protrusion 9 is completely removed, there causing the end 9a to be completely exposed. After completion of the honing process, the semiconductor chip 2 encapsulated by the resin encapsulate 4 is immersed in a solder bath 34, thereby causing the end 9a of each protrusion 9 to be plated by solder. The plated solder film is denoted by the reference numeral 35. The solder used in the solder plating process may be one having a composition of Pb : Sn = 1 : 9. Fig. 28 shows a state in which a solder film 35 is formed on the end 9a of each protrusion 9 in accordance with the solder plating process.

After completion of the above mentioned solder plating process, a bump 5 is formed on the end 9a of each protrusion 9 formed with the solder film 35. The formation of the bump 5 may be carried out using various methods. For example, a conventional bump forming method capable of effectively and easily forming bumps 5 may be used. Fig. 29 shows a state in which bumps 5 are formed on the ends 9a of the protrusions 9, respectively.

After the formation of the bump 5 on the end 9a of each protrusion 9, a process for cutting the lead frame 11 at positions indicated dotted lines in Fig. 29 is carried out.

After the cutting process is completed, a semiconductor device 1 shown in Fig. 30 is obtained. Prior to the process for cutting the lead frame 11, the portions of the lead frame 11 to be cut may be subjected to a half-etching process in order to allow the cutting process to be more easily conducted.

A testing process is then conducted for the semiconductor device 1 fabricated as mentioned above, in order to determine whether or not the fabricated semiconductor device 1 operates normally. Figs. 31 to 33 illustrate different testing methods for the semiconductor device 1, respectively. The testing method shown in fig. 31 uses a socket 36 having a configuration for mounting the bumps 5. In accordance with this testing method, a test such as a burning test is conducted in a state the semiconductor device 1 is mounted on the socket 36.

The testing method shown in Fig. 32 is a method for testing the semiconductor device 1 using probes 37. The semiconductor device 1 has a structure in which the end of each lead 3 is exposed from the side surface of the resin encapsulate 4. In view of this structure of the semiconductor device 1, the testing method is adapted to test the semiconductor device 1 using the probes 37 contacting the leads 3 exposed from the resin encapsulate 4. In accordance with this testing method, it is possible to conduct the testing process even after the semiconductor device 1 is mounted on the circuit board 10.

Fig. 33 illustrates a mounting process for mounting the

semiconductor device 1 on the circuit board 10. The process for mounting the semiconductor device 1 on the circuit board 10 can be achieved using a variety of well-known methods. For instance, an infrared reflow method may be used. In accordance with this infrared reflow method, each bump 5 formed on the semiconductor device 1 is temporarily fixed to an associated one of electrode portions 38 formed on the circuit board 10 using a paste. The bump 5 is then melted by an infrared reflow furnace arranged over the semiconductor device 1, thereby causing it to be bonded to the associated electrode portion 38.

Now, examples modified from the above mentioned semiconductor device fabrication method will be described. Figs. 34 to 37 illustrate modified structures of the protrusions 9, respectively. Figs. 34A and 34B illustrate a protrusion 9A having a circular column shape, respectively. Also, Fig. 34C illustrates a protrusion 9B having a square column shape. That is, the protrusion may have various planar shape, as in the protrusions 9, 9A, and 9B. The protrusion can have an optional shape in accordance with the bonding characteristics of the bump 5 and the shape of the electrode portion 38 formed on the circuit board 10. For example, the protrusion 9, 9A or 9B is formed using an etching method, it can have a desired planar shape by appropriately selecting the shape of the mask 13 arranged at the protrusion forming region 14 shown in Fig. 6.

The protrusion may also have a structure provided with a

round recess at the upper surface thereof, as in the protrusion
9C shown in Fig. 35(A). Also, the protrusion may have a
structure provided with a lump at a central portion of the upper
surface thereof, as in the protrusion 9D shown in Fig. 35B. The
5 protrusion may also have a structure provided with a rectangular
recess at a central portion of the upper surface thereof, as in
the protrusion 9E shown in Fig. 35C. In all the protrusions 9C
to 9E, it is possible to obtain an increased protrusion surface
area resulting in an improvement in the bondability to the bump
10 1. Furthermore, the protrusions 9C to 9E are adapted to be
fixed to the lead 3 at a desired protrusion forming region.

Referring to Fig. 35D, a protrusion 9F is illustrated
which is formed in accordance with a direct plastic deformation
of the lead 3 by a pressing process. In this case, the
15 protrusion 9F can be easily formed using a desired process such
as a pressing process. However, this method has a problem in
that the protrusion 9F cannot have a height more than a
limitation for the plastic deformation.

Referring to Fig. 36, a protrusion 9G is illustrated
20 which is formed by forming a stud bump at a desired protrusion
forming region in accordance with a wire bonding technique.
Fig. 36A illustrates a method for forming the protrusion 9G
whereas Fig. 36B illustrates, in an enlarged scale, the
protrusion 9G.

25 Where the protrusion 9G is formed to have a stud bump

shape in accordance with a wire bonding technique, it is possible for the protrusion 9G to be formed at an optional position. The protrusion 9G serving as an outer connecting terminal can also be easily formed at a desired position. The formation of the protrusion 9G can be achieved simultaneously with the mounting of the wires 9 conducted in the connecting process included in the semiconductor device fabrication process. Thus, the entire fabrication process is simplified.

The height of the protrusion 9G can be optionally set by vertically overlapping a plurality of stud bumps together. Referring to Fig. 37A, a protrusion 9H is illustrated which is formed by vertically overlapping three stud bumps together. In this case, the protrusion 9H has an increased height, as compared to the protrusion 9G of Fig. 36B constituted by one stud bump.

Another method for increasing the height of the protrusion is illustrated in Fig. 37B. In accordance with the method of Fig. 37B, a conductive member 41 having a plug shape is fixed to the lead 3 by means of a conductive adhesive. A stud bump 42 is then formed on the conductive member 41, as shown in Fig. 37C, so that the overlapping conductive member 41 and stud bump 42 cooperate to form a protrusion 9I. In this case, the height of the protrusion 9I is determined by the height of the conductive member 41. Accordingly, the height of the protrusion 9I can be optionally set by using a plug-shaped

conductive member having a diverse size for the plug-shaped
conductive member 41.

Fig. 36 illustrates a modified bonding process. Although
the semiconductor chip 2 and lead frame 11 are bonded together
5 using the polyimide film 7 serving as an adhesive under a
certain condition in accordance with the above mentioned
embodiment, as shown in Figs. 16 to 20, they may be bonded
together using a tape-shaped adhesive 45 in place of the
polyimide film 7.

10 The tape-shaped adhesive 45 may be formed not only at the
upper surface of the semiconductor chip 2, but also at the lower
surface of the lead frame 11, as shown in Fig. 36.

Alternatively, the tape-shaped adhesive 45 may be formed only at
the lower surface of the lead frame. Furthermore, the
15 distribution range of the tape-shaped adhesive 45 may be freely
set in so far as it is within a range indicated by the arrow X
in Fig. 36, except for the region where the electrode pads 6 are
formed. In addition, it is necessary for the tape-shaped
adhesive 45 to be an insulating adhesive because the
20 semiconductor chip 2 and lead frame 11 should be electrically
insulated from each other.

Figs. 39 to 42 illustrate modified embodiments of the
connecting process, respectively. Although the wires 8 are used
for the connection between the electrode pads 6 and the leads 3
25 in accordance with the above mentioned embodiment, as shown in

Figs. 21 and 22, a direct lead bonding method is used to directly bond the electrode pads and leads 3 together in accordance with the modified embodiments of Figs. 39 to 42.

In the embodiment of Figs. 39 and 40, each lead 3 is
5 directly bonded to an associated one of the electrode pads 6 using a bonding tool 46 connected to, for example, an ultrasonic vibrator. In this configuration, however, the electrode pad 6 may be damaged by the bonding tool 46 vibrating at an ultrasonic frequency. In the embodiment of Figs. 41 and 42, a stud bump
10 47 is mounted on each electrode pad 6. The stud bump 47 is then melted by a heating unit 48 in a state in which it comes into contact with the lead 3, thereby causing the electrode pad 6 to be connected to the lead 3. In accordance with this connecting method, there is no damage to the electrode pad 6. An
15 improvement in the reliability of the connecting process is also achieved.

In accordance with the connecting processes of Figs. 39 to 42, it is possible to achieve a reduction in electrical resistance, as compared to a configuration in which the
20 connection between the electrode pads 6 and the leads 3 is provided by the wires 8. Accordingly, an improvement in the electrical characteristics of the semiconductor device 1 is achieved. The semiconductor device 1 also cope with a high-speed semiconductor chip.

25 Figs. 43 and 44 illustrated a modified embodiment of the

resin encapsulating process. In the above mentioned embodiment, the bottom surface of the cavity defined in the lower mold 30 included in the mold 30 is in direct contact with the upper surface 2a of the semiconductor chip 2. The upper surface 1a of the semiconductor chip 2 is not encapsulated by the resin encapsulate 4 so that it serves as a surface for improving the heat dissipation characteristics.

Under strict environment, for example, high-temperature environment, the semiconductor device 1 may require a temperature resistance rather than the heat dissipation characteristics. In such a case, it is necessary to completely encapsulate the semiconductor chip 2 by the resin encapsulate 4. Referring to Figs. 43 and 44, a mold 50 is illustrated which is configured to completely encapsulate the semiconductor chip 2 by the resin encapsulate 4.

In detail, a cavity 52 defined in a lower mold 51 is spaced apart from the peripheral surface of the semiconductor chip 2 at its side surface, as shown in Fig. 43. Accordingly, when the resin encapsulate 4 is molded in the mold, the semiconductor chip 2 is completely encapsulated by the resin encapsulate 4, as shown in Fig. 44. The formation region of the resin encapsulate 4 encapsulating the semiconductor chip 2 can be optionally set by appropriately varying the shape of the cavity 33 or 52 of the mold 30 or 50.

Where the upper mold 31 has a recess for mounting the

protrusion 9 formed on each lead 3 therein, it is possible to obtain a semiconductor device 60 in which the protrusion 9 is greatly protruded from the resin encapsulate 4, as shown in Fig. 43. The semiconductor device 60 shown in Fig. 43 exhibits an improved mounting efficiency to the circuit board 10 because the protrusion 9 is greatly protruded from the resin encapsulate 4. Also, it is unnecessary to form the bumps 5, as in the above mentioned embodiments. Accordingly, it is possible to simplify the fabrication process for the semiconductor device 60.

(EFFECTS OF THE INVENTION)

As apparent from the above description, various effects are obtained in accordance with the present invention.

In accordance with the invention of claims 1 and 2, it is possible to achieve an improvement in heat resistance, mechanical strength, and temperature resistance. Since the electrode pads and leads are connected together using wires, it is possible to set the layout of the leads irrespective of the layout of the electrode pads. An improvement in the matching ability of the semiconductor device to the circuit board. The resin encapsulate provides an improvement in reliability because it surely protects the connected wires. Since the outer connecting terminals are exposed from the resin encapsulate, the electrical connection of the semiconductor device to the circuit board can be surely provided.

In accordance with the invention of claim 3, the insulating and bonding processes for the semiconductor chip and leads can be simultaneously conducted because the polyimide film, as an insulating member, interposed between the semiconductor chip and the leads serves as an adhesive. Accordingly, it is possible to simplify the structure of the semiconductor device which achieving an easy fabrication of the semiconductor device, as compared to the case in which the insulating member and the adhesive are separately provided.

10 In accordance with the invention of claim 4, each protrusion is integrally formed with an associated one of the leads. Accordingly, it is possible to achieve a simplification in structure, as compared to the case in which the protrusion and lead are formed using separate materials, respectively. In accordance with the invention of claim 5, a wire is used for the connection between the electrode pad and lead. Accordingly, it is possible to achieve an easy connection for the wire between the electrode pad and lead.

20 In accordance with the invention of claim 6, a bump is formed on each protrusion. Accordingly, it is possible to achieve an easy connection of the semiconductor device to the circuit board, as compared to the case in which the protrusion is directly mounted on the circuit board. In accordance with the invention of claim 7, the leads and semiconductor chip are bonded together by maintaining the polyimide film at a certain

temperature and a certain pressure, thereby causing the polyimide film to serve as an adhesive. Accordingly, the insulating and bonding processes for the leads and semiconductor chip can be simultaneously conducted.

5 Since each electrode pad formed on the semiconductor chip is connected to an associated one of the leads by means of a wire in the bonding process, it is possible to vary the layout of the leads with respect to the layout of the electrode pads by selecting an appropriate connection method. The fabrication of
10 the semiconductor device involves only four processes, that is, a lead forming process, a bonding process, a connecting process, and a resin encapsulating process. Since the fabrication of semiconductor device is achieved using a reduced number of processes, as mentioned above, an improvement in production
15 efficiency is obtained.

 In accordance with the invention of claim 8, an easy bonding process can be achieved because the bonding process can be conducted without a control for the temperature applied to the polyimide film within a desired range. In accordance with
20 the invention of claim 9, the connection between the electrode pads and the leads can be simply and surely achieved because the electrode pads and leads are electrically connected together in accordance with a direct lead bonding process.

 In accordance with the invention of claim 10 and 11, the
25 lead pitch of the outer lead portions is less than the lead

pitch of the inner lead portions. Accordingly, the inner leads
can cope with a small pitch of the electrode pads on the
semiconductor chip to which the inner lead portions are
electrically connected. Furthermore, the mounting efficiency of
5 the semiconductor device to the circuit board is improved
because the lead pitch of the outer lead portions electrically
connected to the circuit board is large. Since each protrusion
is formed on an associated one of the outer lead portions, it
can be used as an outer connecting terminal. Accordingly, it
10 further improves the mounting efficiency.

In accordance with the invention of claim 12 and 13, it
is possible to easily form leads of a small pitch integrally
formed with protrusions. In accordance with the invention of
claim 14, the lead pattern forming process and the protrusion
15 forming process are conducted in a separate fashion.
Accordingly, the thickness of a blank used can be selected
irrespective of the height of the protrusion. Therefore, it is
possible to reduce the pitch of a lead pattern when a thin blank
is used. In the protrusion forming process, it is possible to
20 form protrusions having an optional height. An improvement in
the freedom of design is also achieved.

In accordance with the invention of claims 15 to 17, it
is possible to easily conduct the protrusion forming process.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.